

Searching PAJ

1/1 ページ

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-127163

(43)Date of publication of application : 11.05.2001

(51)Int.Cl.

H01L 21/82
G01R 31/28
G06F 17/50

(21)Application number : 11-307872

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 29.10.1999

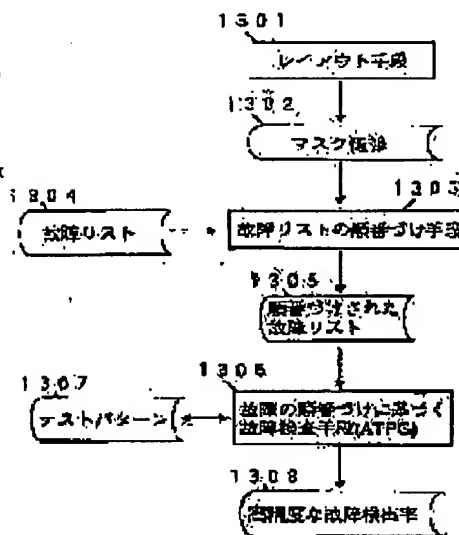
(72)Inventor : YOSHIDA TAKATERU
SHIMODA TAMASUKE

(54) METHOD FOR INSPECTING FAILURE IN SEMICONDUCTOR INTEGRATED CIRCUIT AND LAYOUT METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To carry out failure inspection with high precision or high efficiency based on an actual failure or carry out layout in consideration of physical information of a mask pattern and the actual results of cells or functional blocks within a chip of a semiconductor integrated circuit, to contribute to reduction of failures such as initial failures, etc.

SOLUTION: Taking into consideration physical information of a mask pattern within a chip and the actual results of cells or functional blocks, sorting 1303 failures and weighting of failures are carried out, and a failure inspection 1306 with high precision and high efficiency based on an actual failure or a layout is carried out.



LEGAL STATUS

[Date of request for examination]	19.09.2001
[Date of sending the examiner's decision of rejection]	08.03.2005
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3734392
[Date of registration]	28.10.2005
[Number of appeal against examiner's decision of rejection]	2005-005975
[Date of requesting appeal against examiner's decision of rejection]	07.04.2005
[Date of extinction of right]	

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-127163

(P2001-127163A)

(43) 公開日 平成13年5月11日 (2001.5.11)

(51) Int.Cl.	識別記号	F I	テ-ジ-ト*(参考)
H 0 1 L 21/82		H 0 1 L 21/82	B 2 G 0 3 2
G 0 1 R 31/28		G 0 1 R 31/28	F 5 B 0 4 6
G 0 6 F 17/50		G 0 6 F 15/60	6 5 8 A 5 F 0 6 4
			6 7 2 F
		H 0 1 L 21/82	C

審査請求 未請求 請求項の数21 O L (全 35 頁) 最終頁に続く

(21) 出願番号 特願平11-307872

(22) 出願日 平成11年10月29日 (1999. 10. 29)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 吉田 貴輝

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 下田 玲祐

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100068087

弁理士 森本 義弘

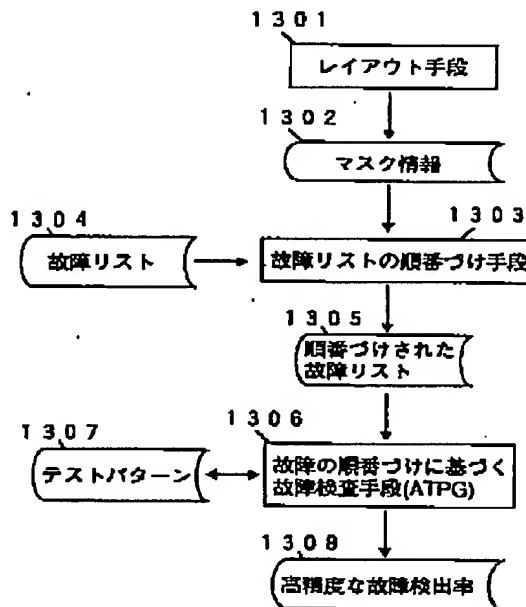
最終頁に続く

(54) 【発明の名称】 半導体集積回路の故障検査方法及びレイアウト方法

(57) 【要約】

【課題】 半導体集積回路のチップ内におけるマスクパターンの物理的な情報、セルや機能ブロックの実績を考慮し、実際の故障に基づく高精度かつ高効率の故障検査やレイアウトを行なう事を可能として、初期不良などの故障の低減に寄与できるようにする。

【解決手段】 チップ内におけるマスクパターンの物理的な情報、また、セルや機能ブロックの実績を考慮して、故障の起りやすさの順番づけ1303及び故障の重みづけを行ない、実際の故障に基づく高精度かつ高効率の故障検査1306やレイアウトを行なう。



1

【特許請求の範囲】

【請求項1】 半導体集積回路における故障の発生しやすい箇所に関する情報もしくは故障を低減するために対策すべき情報である故障リストを用いて、前記半導体集積回路の故障検査を行なう半導体集積回路の故障検査方法。

【請求項2】 半導体集積回路の故障を検査することによって、この半導体集積回路における故障の発生しやすい箇所に関する情報もしくは故障を低減するために対策すべき情報である故障リストを作成し、この故障リストを用いて前記半導体集積回路の故障検査を行なう半導体集積回路の故障検査方法。

【請求項3】 故障検査の際に検出しにくい故障を事前に故障リストから省き、残った故障リストを用いて半導体集積回路の故障検査を行なう請求項1又は2記載の半導体集積回路の故障検査方法。

【請求項4】 故障リストに、各故障についての故障の起こりやすさに関するデータを持たせる請求項1から3までのいずれか1項記載の半導体集積回路の故障検査方法。

【請求項5】 各故障の起こりやすさにより順番づけされた故障リストを用いて半導体集積回路の故障検査を行なう請求項4記載の半導体集積回路の故障検査方法。

【請求項6】 各故障の起こりやすさにより故障の重みづけを行なって、故障検査のための故障検出率を求める請求項4記載の半導体集積回路の故障検査方法。

【請求項7】 各故障の起こりやすさにより順番づけを行ない、この順番づけにしたがって故障の重みづけを行なう請求項6記載の半導体集積回路の故障検査方法。

【請求項8】 半導体集積回路をレイアウトするためのレイアウト装置から得られるマスク情報に基づいて故障の起こりやすさによる順番づけ又は重みづけを行なう請求項5から7までのいずれか1項記載の半導体集積回路の故障検査方法。

【請求項9】 半導体集積回路をレイアウトするためのレイアウト装置から得られるマスク情報に基づいてマスクパターンの密度を計算し、このマスクパターンの密度に応じて故障の起こりやすさによる順番づけ又は重みづけを行なう請求項5から7までのいずれか1項記載の半導体集積回路の故障検査方法。

【請求項10】 半導体集積回路のセルや機能ブロックについての過去の使用実績に基づく信頼性についてのデータベースに基づき故障の起こりやすさによる順番づけ又は重みづけを行なう請求項5から7までのいずれか1項記載の半導体集積回路の故障検査方法。

【請求項11】 各故障を検出した場合に取得する故障検出率を算出し、指定した故障検出率を達成するのに必要な故障を、故障の起こり難い順に削除し、残りの故障に対して故障検査の処理を行なう請求項7記載の半導体集積回路の故障検査方法。

(2)

特開2001-127163

2

【請求項12】 順番づけにしたがって各故障検査の処理を行ないながら、故障検出率を算出し、指定した故障検出率を達成した時点で処理を停止する請求項7記載の半導体集積回路の故障検査方法。

【請求項13】 半導体集積回路における故障の発生しやすい箇所に関する情報もしくは故障を低減するために対策すべき情報である故障リストを用いて、前記半導体集積回路のためのマスクの配置、配線を行なう半導体集積回路のレイアウト方法。

10 【請求項14】 半導体集積回路の故障を検査することによって、この半導体集積回路における故障の発生しやすい箇所に関する情報もしくは故障を低減するために対策すべき情報である故障リストを作成し、この故障リストを用いて、前記半導体集積回路のためのマスクの配置、配線を行なう半導体集積回路のレイアウト方法。

【請求項15】 故障検査の際に検出しにくい故障を事前に故障リストから省き、省いた故障リストに対して前記半導体集積回路のためのマスクの配置、配線を行なう半導体集積回路のレイアウト方法。

20 【請求項16】 故障リストに、各故障についての故障の起こりやすさに関するデータを持たせる請求項13から15までのいずれか1項記載の半導体集積回路のレイアウト方法。

【請求項17】 各故障の起こりやすさにより順番づけされた故障リストを用いて半導体集積回路のためのマスクの配置、配線を行なう請求項16記載の半導体集積回路のレイアウト方法。

【請求項18】 各故障の起こりやすさにより故障の重みづけを行なって、半導体集積回路のマスクの配置、配線のための故障検出率を求める請求項16記載の半導体集積回路のレイアウト方法。

30 【請求項19】 各故障の起こりやすさにより順番づけを行ない、この順番づけにしたがって故障の重みづけを行なう請求項18記載の半導体集積回路のレイアウト方法。

【請求項20】 半導体集積回路をレイアウトするためのレイアウト装置から得られるマスク情報に基づいて故障の起こりやすさによる順番づけ又は重みづけを行なう請求項17から19までのいずれか1項記載の半導体集積回路のレイアウト方法。

40 【請求項21】 半導体集積回路をレイアウトするためのレイアウト装置から得られるマスク情報に基づいてマスクパターンの密度を計算し、このマスクパターンの密度に応じて故障の起こりやすさによる順番づけ又は重みづけを行なう請求項17から19までのいずれか1項記載の半導体集積回路のレイアウト方法。

【請求項22】 半導体集積回路のセルや機能ブロックについての過去の使用実績に基づく信頼性についてのデータベースに基づき故障の起こりやすさによる順番づけ又は重みづけを行なう請求項17から19までのいずれ

(3)

特開2001-127163

3

か1項記載の半導体集積回路のレイアウト方法。

【請求項23】 各故障を検出した場合に取得する故障検出率を算出し、指定した故障検出率を達成するのに不要な故障を、故障の起り難い順に削除し、残りの故障に対して故障検査の処理を行なう請求項19記載の半導体集積回路のレイアウト方法。

【請求項24】 順番づけにしたがって各故障検査の処理を行ないながら、故障検出率を算出し、指定した故障検出率を達成した時点で処理を停止する請求項19記載の半導体集積回路のレイアウト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路の故障検査方法及びレイアウト方法に関し、特に集積回路を効率的かつ高精度で故障検査およびレイアウトすることが可能な、半導体集積回路の故障検査方法及びレイアウト方法に関する。

【0002】

【従来の技術】図48に半導体集積回路のマスクパターンについての従来のレイアウト処理について示す。すなわち、論理検証の完了した回路ネットリスト101に基づき、レイアウト装置102により、集積回路のマスクパターンの物理的な配置、配線を行ったマスクレイアウト図104が自動的に生成される。回路図においては実際の物理情報は無いため、レイアウト処理において初めてマスクパターンの物理的な位置関係が与えられる。レイアウトにおけるマスクパターンの物理的な位置関係は、現状においては集積回路の論理動作のタイミング情報103に基づいて考慮される場合がほとんどである。

【0003】集積回路の製造プロセスにおいて、例えばマスクに微細な異物が付着すると、その付着部分でパターンブリッジ等の不良が生じ得る。このような不良は、一般に集積回路の検査工程で所定のテストパターンを用いて入出力信号を調べることにより検出される。このようなテストパターンを回路図等の情報に基づいて自動的に生成する自動テストパターン生成装置(ATPG)も良く知られている。

*【0004】しかし、高度の集積回路にあっては、コストに見合う検査時間の制限から、実行するテストパターンの数も限られる。そこで、如何に短時間で効率的に集積回路の不良(以下、「故障」という)を検出するかが重要である。そこで、あるテストパターンで集積回路の故障をどの程度の確率で検出できるか、すなわち故障検出率の評価を行なうことが必要になる。このような故障検出率の評価をも、本発明では「故障検査」ということにする。なお本発明において、「故障検査」は、故障を検査するという本来の意味で用いることもある。

10 【0005】図49に従来の故障検査の流れ図を示す。回路ネットリスト201もしくは、故障リスト203とテストパターン204とを用いて故障検出率を出力する。故障検査手段(ATPG)202では、具体的には、集積回路にあらかじめ人為的に故障状態を作っておき、これを検査機(又は故障検出器)にかけてその故障が正常に検出されるか否かを調べる(故障シミュレーション)。

20 【0006】故障リストは、読み込むだけでなく、検出結果として出力する場合もある。故障検査手段(ATPG)202においては、回路ネットリストもしくは故障リスト203を用いてテストパターン204を自動的に生成し、併せて故障検出率205を出力する場合もある。近年、集積回路の大規模化にともない、高い故障検出率を確保するために、膨大なテストパターンと、そのテストパターンを故障シミュレーションする処理時間とが必要になってきている。ATPGによる処理時間およびATPGによって自動生成されるテストパターンも同様に膨大になってきている。一方では、集積回路の信頼性を上げるために、求められる故障検出率は益々高くなってきている。

30 【0007】一方、従来から、市場不良率と故障検出率は一般に下記の式(1)で表されている。この式において、Uは市場不良率、Kは故障検出率、Yは歩留りを表わす。

【0008】

【数1】

2

$$U = 1 - Y^{(1-K)} \quad \dots (1)$$

U : 市場不良率

K : 故障検出率

Y : 歩留り

ここでの故障検出率は、単一縮退故障、つまり、0縮退故障と1縮退故障とをモデルとして扱われている。0縮退故障は、対象とする信号線が常に0に固定するような故障、例えば対象の信号線がVSS(グランド)電源の

50 マスクとブリッジしているような場合が想定される。信号線と電源のマスクとのブリッジ以外の故障であっても、同様のモデルで表現できる場合がかなりあり、従来は、大まかに式(1)で表現可能となっている。

(4)

特開2001-127163

6

5

【0009】

【発明が解決しようとする課題】チップ上の物理的な領域において、故障の発生原因となる現象、例えばマスクへの異物の付着が生じたとき、これが故障に結び付くのは、マスクパターンが存在する部分に異物が付着したときである。チップ上にはマスクパターンが存在しない部分があり、この部分に異物が付着しても故障にはつながらない。

【0010】通常、マスクパターンはチップ上に均一に存在しないで、マスクパターンが密である部分と疎である部分とがチップ上に生じている。したがって、故障の発生原因となる現象がチップ上でほぼ均一に発生するとしても、実際の故障が発生する確率はチップ上では均一ではなく、マスクパターンが密である部分は疎である部分に比べて故障発生率が高くなる。

【0011】図50に示すように矩形のチップ上にマスクパターンが存在する部分と存在しない部分が分布している場合を仮定する。図50中、網かけされた「マスク有り部分」がマスクパターンの存在する部分であり、白地の「マスク無し部分」がマスクパターンの存在しない部分である。矩形のチップ全体を上下左右に分割して4つのブロックA、B、C、Dとすると、各ブロックにおけるマスクパターンの密度、すなわち、全面積にマスクパターンが占める割合が異なっている。図50の場合、マスクパターンの密度はブロックBが最も高く、D、A、Cの順に低くなっている。図中において、×印は故障発生原因箇所を示すが、マスクパターン密度の低い部分は、故障の発生原因となる現象が起っても故障発生率が低い。これに対して、マスクパターン密度の高い部分は、同じ故障の発生原因となる現象による故障発生率が高くなる。例えば、図50の場合、ブロックBはブロックAよりマスクパターン密度が高いので、故障の発生原因となる現象による故障発生率はブロックBのほうがブロックAより高くなる。

【0012】一方、集積回路において、例えば通常の信号線のマスクが電源線のマスクと近接していると、電源からのノイズ等の影響を受けて誤動作する可能性も高くなる。また、信号線が近接している場合も、信号強度の弱い信号が強度の強い信号に影響されて誤動作する可能性が高くなる。このように実際の故障の起こる確率は、マスクの状態、つまりマスクの配置、配線のレイアウトの状態、及びマスクの種類によって変わってくる。

【0013】さらに、新規のプロセスや新規に開発したセルや信頼性試験の保証されていないセルや機能ブロックを用いる場合は、故障の可能性が高くなる。従来の故障検査は、図48や図49に示すように回路のネットリストとテストパターンのみを用いて処理しており、回路のレイアウトの状態、及びセルや機能ブロックの実績を考慮していない。つまり、故障検査の対象となるそれぞれの故障について実際の故障が起こる確率を均一に仮定

して故障シミュレーション処理するため、従来の故障検出率は、実際の故障発生率の指標としての精度を保証できないおそれがある。また、実際に生じやすい故障を先に故障検査やATPGによる処理の対象とするという効果的な処理を行なうことができない。

【0014】また、近年、集積回路の大規模化、微細化に伴って、従来のような単一縮退故障モデルでは表せない故障が出て来ることが予想される。つまり、市場不良率と故障検出率の関係は上述の式(1)では表現出来なくなってくる可能性が高い。そこで、実際の故障の発生を考慮した新たな故障検出率の尺度が必要になってくる。

【0015】さらに、従来のレイアウト方法は、故障の起こりやすさを考慮したものではなく、故障を起こさないためのマスキングレイアウト対策は行われていない。そこで本発明は、半導体集積回路のチップ内におけるマスクパターンの物理的な情報、また、セルや機能ブロックの実績を考慮し、実際の故障に基づく高精度かつ高効率の故障検査やレイアウトを行なう事を可能として、初期不良などの故障の低減に寄与できるようにすることを目的とする。

【0016】

【課題を解決するための手段】本発明の故障検査方法は、半導体集積回路における故障の発生しやすい箇所に関する情報もしくは故障を低減するための対策すべき情報である故障リストを用いて前記半導体集積回路の故障検査を行なうものである。また本発明の故障検査方法及びレイアウト方法は、チップ内におけるマスクパターンの物理的な情報や、セルや機能ブロックの実績を考慮して、故障の起こりやすさの順番づけ及び故障の重みづけを行なうものである。

【0017】したがって本発明によると、実際の故障に基づく高精度かつ高効率の故障検査やレイアウトを行なう事が可能となり、半導体集積回路における初期不良などの故障の低減に寄与することができる。

【0018】

【発明の実施の形態】本発明は、半導体集積回路における故障の発生しやすい箇所に関する情報もしくは故障を低減するための対策すべき情報である故障リストを用いて、前記半導体集積回路の故障検査を行なうか、又は前記半導体集積回路のためのマスクの配置、配線を行なうものである。

【0019】また本発明は、半導体集積回路の故障を検査することによって、この半導体集積回路における故障の発生しやすい箇所に関する情報もしくは故障を低減するために対策すべき情報である故障リストを作成し、この故障リストを用いて前記半導体集積回路の故障検査を行なうか、又は前記半導体集積回路のためのマスクの配置、配線を行なうものである。

【0020】また本発明は、故障検査の際に検出しにく

(5)

特開2001-127163

7

8

い故障を事前に故障リストから省き、残った故障リストを用いて半導体集積回路の故障検査を行なうか、又は前記半導体集積回路のためのマスクの配置、配線を行なうものである。また本発明は、故障リストに、各故障についての故障の起こりやすさに関するデータを持たせるものである。

【0021】また本発明は、各故障の起こりやすさにより順番づけされた故障リストを用いて半導体集積回路の故障検査を行なうか、又は前記半導体集積回路のためのマスクの配置、配線を行なうものである。また本発明は、各故障の起こりやすさにより故障の重みづけを行なうて、故障検査のための故障検出率を求めるか、又は半導体集積回路のマスクの配置、配線のための故障検出率を求めるものである。

【0022】また本発明は、各故障の起こりやすさにより順番づけを行ない、この順番づけにしたがって故障の重みづけを行なうものである。また本発明は、半導体集積回路をレイアウトするためのレイアウト装置から得られるマスク情報に基づいて故障の起こりやすさによる順番づけ又は重みづけを行なうものである。

【0023】また本発明は、半導体集積回路をレイアウトするためのレイアウト装置から得られるマスク情報に基づいてマスクパターンの密度を計算し、このマスクパターンの密度に応じて故障の起こりやすさによる順番づけ又は重みづけを行なうものである。また本発明は、半導体集積回路のセルや機能ブロックについての過去の使用実績に基づく信頼性についてのデータベースに基づき故障の起こりやすさによる順番づけ又は重みづけを行なうものである。

【0024】また本発明は、各故障を検出した場合に取得する故障検出率を算出し、指定した故障検出率を達成するのに不要な故障を、故障の起こり難い順に削除し、残りの故障に対して故障検査の処理を行なうものである。また本発明は、順番づけにしたがって各故障検査の処理を行ないながら、故障検出率を算出し、指定した故障検出率を達成した時点で処理を停止するものである。

【0025】以下、本発明の実施の形態を図面を用いて説明する。図1は、本発明の第1の実施の形態を説明するものである。集積回路で発生する故障は、マスクの状態、つまりマスクの配置、配線のレイアウトの状態と、マスクの種類とによって変わってくる。また、使用しているセル及び機能ブロックの実績の程度によっても変わってくる。そして、このような故障を起こしやすい箇所は、マスクの配置、配線のレイアウトにおいて対策することにより、そこでの故障の発生率を下げる事が可能である。例えば、通常の信号線のマスクが電源線のマスクと近接していると電源からのノイズ等の影響を受けて誤動作する可能性も高くなるが、この場合に、電源線とマスクの間隔を広げる事により、故障の起こる可能性を下げる事ができる。

【0026】従来のものでは、回路ネットリスト401に基づき、レイアウト手段402により、集積回路のマスクパターンの物理的な配置、配線を行ったマスクレイアウト図404が自動的に生成されるだけであるが、本発明の第1の実施の形態では、故障の発生しやすい箇所の情報もしくは故障を低減するためにレイアウト手段402で対策すべき情報である故障リスト403を、このレイアウト手段402に取り込む。なお、故障の発生しやすい箇所は、レイアウト手段402から生成する場合もある。故障リスト403としては、マスク間が近いことや、電源マスクに接近していることや、クロックを供給する信号線のマスクが近接していることや、コンタクトの重なりが多いことや、上下隣り合う信号線がクロスしていることなどが挙げられる。この場合、一旦マスクのレイアウトを行った後に故障リストを生成し、再度、レイアウト手段402において故障を低減するための対策を行う。また、例えば故障検査を十分に行っていない対象故障箇所をレイアウト手段402で対策する場合は、この対象箇所が故障リスト403に含まれる。

【0027】図2は、本発明の第2の実施の形態に関して説明するものである。ここでは、故障検査を行うことにより、故障リストが作成される。故障検査の結果、未検出があれば、テストパターンを追加していく必要がある。ある程度故障検出率が高くなってくると、さらに故障検出率を上げるためのテストパターンを作成するのに要する時間も、そのテストパターンのステップ数も、膨大になってくる。ATPGの場合でも非常に長いテストパターンが生成されたり、自動で生成することができない場合も出てくる。つまり完全に故障検出率100%にするのは困難であり、結果として未検出故障が残る場合がほとんどである。これらの未検出故障は、実際に故障していても、それを検出するテストパターンが無く、見逃されてしまう事になる。よって、可能な限りこうした故障を起こさないように対策する必要がある。

【0028】そこで、この第2の実施の形態においては、故障検査手段501から出力される故障リスト502をレイアウト手段504に読み込んで、このレイアウト手段504において故障を低減するための対策を行う。その結果として、対策を行ったマスクレイアウト図505を生成する。このように故障検査で不十分なところをマスクレイアウトにおいて対策することにより、不良を抑え、かつ効率的な故障検査を行うことが可能になる。

【0029】故障検査手段501で生成する故障リスト502としては、未検出故障、検出できるかどうか解らない故障、処理するのに非常に時間がかかるため、故障検査装置が処理をあきらめた故障があり、具体的には、これらの故障の発生に対応したレイアウト上の物理的な座標データを規定する。図3は、本発明の第3の実施の形態を説明するものである。故障検査においては、処理

(6)

特開2001-127163

9

時間が長大化する原因の一つとして、検出しにくい、もしくは検出できない故障の扱いが考えられる。

【0030】故障検査において、それぞれの故障を検出できるかどうかの検査時間は一律ではなく、故障検出のされやすさや検査時に発生するイベント量によって大きく異なる。検査時に発生するイベントの発生量が多くなると、故障検出器のハードウェアへの負担から処理時間の増大を招く。故障検査においては、検出される可能性の高いテストパターンあるいは検出されやすい故障を先に処理し、イベント発生等により処理時間のかかる故障は、後で処理するか、処理しないで別の対策を行う方が効果的である。

【0031】こうした検出しにくい故障は、回路上である程度わかっている。例えばスキャン設計におけるスキャンライン上のフリップフロップのピン、あるいはシステムクロック、セット、リセット関連のピン、さらには信号不定状態を発生するトライステートセルのコントロールピン等は、そこに設定した故障が回路の広範囲に影響を及ぼし、通常の検査対象箇所に設定した故障に比べて、検査時に多くのイベントを発生する可能性がある。

【0032】本発明の第3の実施の形態は、故障検査の対象となる故障リストから、処理の長大化につながる検出しにくい故障を前もって省き、残りの故障に対して故障検査を行い、また省いた故障に対してはマスキレイアウトにおいて故障を低減する対策を行うものであり、全体としての工数を削減し、市場不良を削減するものである。

【0033】具体的には、検出しにくい故障リスト削除手段802により故障検査の対象となる故障リスト801から検出しにくい故障リスト803に示した故障を省き、残りの故障806に対して効果的な故障検査807を行う。この検出しにくい故障リスト803に該当するレイアウト上のセルインスタンス名、マスク名等を指定する。通常の故障検査においてはテストパターン808は故障検査手段807に入力されるが、ATPGの場合は自動的にテストパターン808が生成される。検出しにくい故障に対しては、レイアウト手段804において実際の故障を低減するようなマスクの配置、配線の対策を行い、マスキレイアウト図605を生成する。

【0034】図4～図8は、本発明の第4の実施の形態を説明するものである。図4に示すような回路ネットリストがある場合、故障検査の対象となる故障リストは、図5のようになる。故障検査は、実際に発生する不良を検出するために行う処理である。現状の故障検査は、回路ネットリストを基準としており、対象となる故障に対して実際の故障のしやすさを一律に扱っている。ところが、現実的には故障の起こりやすさは一律ではなく、マスクの物理的な要因などに基づいて変わってくる。よって、故障検査において本来の目的である不良を検出しはじき出すためには、現実的に起こりやすい対象故障を重

10

点的に先に処理する必要がある。また、ATPGにおいても実際に故障しやすい対象故障を検出するパターンを効率的に自動生成する必要がある。

【0035】そこで本発明の第4の実施の形態においては、例えば図4の回路に対しては、図6に示すような故障の起こりやすさにより順番付けされた故障リストを故障検査手段に取り込み、効率的な故障検査もしくは、ATPGによる検査を行う。具体的には、図7に示すように、順番付けされた故障リスト1003を故障検査手段1002に取り込んで効率的な故障検査を行い、高精度な故障検出率1005を出力する。ATPGの場合は、回路ネットリスト1001に基づいて順番付けされた故障リスト1003を用いて、効率的なテストパターン1004を生成し、あわせて高精度な故障検出率1005を出力する。

【0036】一方、実際に故障しやすい箇所については、マスクの配置、配線のレイアウト処理において対策をすることにより、不良を起こりにくくすることが可能である。この第4の実施の形態においては、図8に示すように、故障検査手段だけでなく、レイアウト手段に順番付けされた故障リストを取り込み、不良を起こりにくくする。具体的には、レイアウト手段1102に順番付けされた故障リスト1103を取り込み、不良を起こりにくくするマスクの配置、配線を行い、マスキレイアウト図1104を生成する。1101は回路ネットリストである。故障リストに関しては、前もって順番づけの基準をレイアウト手段1102に取り込み、この基準に基づいて、既にレイアウトされているマスクから順番づけされた故障リスト1103を生成する場合もある。

【0037】図9～図13は、本発明の第5の実施の形態を示す。図9は、図4に示す回路図をマスキレイアウト図に置き換えた場合の一部を示していると仮定する。図9において、斜線は電源となるマスクを示す。また、図4におけるH及びOの対象故障箇所は、図9におけるそれぞれH、Oのマスクと対応している。この場合、Hは電源マスクに近接している。Hは、Oに比べて、例えばXのような微細な異物による配線ショートが発生しやすい。また、電源マスクからのノイズの影響も受けやすい。つまり故障の起こる可能性は、HはOに比べて高くなる。この故障の発生の可能性の違いは、2つの対象故障箇所のマスクの配置、配線のレイアウト状態によって生じる。

【0038】そこで本発明の第5の実施の形態においては、レイアウト手段のマスク情報から故障リストを実際の故障の起こりやすさにより順番づけし、この順番に従って、故障検査を行ったり、もしくはレイアウト手段によって実際の故障を起こさない対策を行ったりする。具体的には、図10に示す通りとする。すなわち、まずレイアウト手段1301でマスクの配置、配線のレイアウトを行なう。この際のマスク情報1302に基づ

(7)

特開2001-127163

11

き、対象故障リスト1304を順番づけする(1303)。この順番づけされた故障リスト1305に基づき、故障検査を行ない(1306)、実際の故障の起こりやすさに応じた高精度な故障検出率1308を効率的に出力する事が可能となる。通常の故障検査においては、テストパターン1307は故障検査手段1306に☐入力される。ATPGの場合は自動的にテストパターン1307が生成される。

【0039】一方、図11では、レイアウト手段1401でのマスク情報1402に基づき故障リスト1404を順番づけし(1403)、この順番づけされた故障リスト1405の情報に基づき、マスクの配置、配線のレイアウト手段1406により、実際の故障の起こりやすい箇所に対して対策を行ない、最終的なマスクレイアウト図1407を生成する。

【0040】具体的な故障リストの順番づけの方法について、図12の回路図と図13のマスクレイアウト図とを用いて説明する。マスク上で配線が近いとショート故障やクロストークによる故障が発生しやすくなる。よって図13に示すようにマスクレイアウトの配置座標の情報から配線の距離Yを計算して、配線がより近いほど故障が起こりやすいという順番づけを行う。例えば図12において5つの箇所で見した場合、配線の距離が4<2<5<1<3であれば、この順番で故障が起こりやすいと判断する。

【0041】マスク上で電源用のマスクが通常信号線の近くに有る場合、その信号線は電源から影響を受けてノイズが発生し、不良となる場合がある。図13において、斜線は電源線である。この図13に示すように、まずマスクレイアウトの配置座標の情報から電源線を特定し、配置座標の情報から電源線と信号配線の距離Xを計算して、配線がより近いほど故障が起こりやすいという順番づけを行う。例えば図12において5つの箇所で見した場合、電源線(斜線)と信号配線の距離が4<5<2<1<3であれば、この順番で故障が起こりやすいと判断する。

【0042】クロックを供給する信号線が通常信号線の近くに有る場合、同様にその信号線は電源から影響を受けてノイズが発生し、不良となる場合がある。この場合、クロックを供給する信号線の情報をレイアウト装置に与える事により、同様の流れにて順番づけを行う。マスク上でコンタクトを使った信号線の乗り換えが多いと、コンタクト不良による信号の断線が起こりやすくなる。よって図13に示すように、マスクレイアウトの信号線の情報から同一配線を探査し、コンタクト数をカウントし、コンタクト数が多いほど故障が起こりやすいという順番づけを行う。図13において配線CのコンタクトはO、P、Q、Rであり、コンタクト数は4である。例えば図12において5つの箇所で見した場合、コンタクト数が4>1>3>2>5という順番であれば、この順

12

番で故障が起こりやすいと判断する。

【0043】マスク上で信号線がクロスしていると相互間で配線ショートが起こる場合がある。図13において配線Aと配線CはSにおいてクロスしている。また、配線Bと配線CはTでクロスしている。よって図13においてマスクレイアウトの信号線のクロス状態(上下隣合う層)及びクロス数をカウントし、上下隣合う層での信号線のクロス数が多いほど故障が起こりやすいという順番づけを行う。例えば図12において5つの箇所で見した場合、上下隣合う信号線のクロス数が4>1>5>2>3という順番であれば、この順番で故障が起こりやすいと判断する。

【0044】図14～図16は、本発明の第6の実施の形態を示すものである。前記したように、図50においてはマスクパターンの密度はB>D>A>Cの順番に高い。故障の起こる確率もこの順番に高くなる。そこで、この第6の実施の形態においては、マスクパターンの密度によって故障リストの順番づけを行なう。マスクパターンの密度は、次の式で計算する。

20 【0045】 $MD=MS \times 100 / BS (\%)$

この式において、MDはマスクパターンの密度、MSは指定したブロック内のマスクパターン部分の面積、BSは指定したブロックの面積である。具体的な処理の流れを図14を使って説明する。まずレイアウト手段1701によってマスク情報1702を生成する。次にマスクレイアウト図を個々のセル、機能ブロックもしくは他の指定ブロックに分割するためのブロック分け情報1704に基づいて、そのマスクレイアウト図を分割し、それぞれの分割ブロックのマスク密度を算出する(1703)。生成する各ブロックのマスク密度一覧1705に基づいて故障リスト1707を順番づけし(1708)、順番付けされた故障リスト1708に基づいて故障検査を行ない(1709)、実際の故障の起こりやすさを加味した高精度な故障検出率1711を出力する。通常の故障検査においては、テストパターン1710は故障検査手段1709に入力される。ATPGの場合は自動的にテストパターン1710が生成される。図15にマスク密度一覧1705の例を示す。この例では、ブロック1のマスクパターンの密度は90%である。順番づけは、マスクパターンの密度が高い順に対象故障を並べていく。

【0046】図16の処理では、マスクパターンの密度に基づく故障リストの順番づけは同様であるが、この順番づけされた故障リストの情報に基づき、マスクの配置、配線のレイアウト手段により、実際の故障の起こりやすい箇所に対して対策を行なう。すなわち、レイアウト手段1901によるマスク情報1902、ブロック分け情報1904に基づいてマスクレイアウト図を分割し、それぞれの分割ブロックのマスク密度を算出する(1903)。そして生成する各ブロックのマスク密度

(8)

特開2001-127163

13

一覧1905に基づいて故障リスト1907を順番づけし(1908)、順番付けされた故障リスト1908に基づいて、マスクの配置、配線のレイアウト手段1909により、実際の故障の起こりやすい箇所に対して対策を行い、最終的なマスクレイアウト図1910を生成する。

【0047】図17～図19は、本発明の第7の実施の形態を示すものである。集積回路の中に、新規のプロセスや、新規に開発したが実績の少ないセルや信頼性試験の保証されていないセルや機能ブロックなどを用いる場合、故障の可能性は高くなる。そこで、故障検査やレイアウトにおいて、こうした過去の使用実績を考慮する必要がある。この第7の実施の形態に示す方法では、セル、機能ブロックなどについての過去の実績をデータベースとしてまとめ、故障検査及びマスクのレイアウトにおいて考慮し、実際の故障の起こりやすさに応じた高精度な故障検出率を得たり、実際の故障の起こりやすい箇所に対して対策を行なうものである。

【0048】図17にデータベースの具体例を示す。このデータベースは、集積回路内で使用するセル、機能ブロック名、それぞれの過去の品種での使用実績回数、過去に不良を発生した場合の回数、信頼性試験の状況、集積回路の内部で使用しているプロセスの実績回数からなる。信頼性試験の状況において例えば「◎」印は所定の基準を満足している場合を示し、「○」印は信頼性試験の途中等で満足できていない場合を示し、「△」印は信頼性試験において問題がある場合を示す。

【0049】図18に具体的な処理の流れについて示す。故障リスト2102の順番づけ手段2101において、セル、機能ブロックの実績データベース2103の情報を取り込み、対象故障の順番づけを行なう。この順番づけされた故障リスト2104に基づいて故障検査を行ない(2105)、実際の故障の起こりやすさに応じた高精度な故障検出率2107を出力する。通常の故障検査においてはテストパターン2108は故障検査手段2105に入力され、ATPGの場合は自動的にテストパターン2106が生成される。

【0050】図19では、機能ブロックの実績データベースに基づく故障リストの順番づけは図18の場合と同様であるが、ここでは、この順番づけされた故障リストの情報に基づき、マスクの配置、配線のレイアウト手段により、実際の故障の起こりやすい箇所に対して対策を行なう。具体的には、セル、機能ブロックの実績データベース2203の情報により故障リスト2202を順番づけし(2201)、この順番づけされた故障リスト2204に基づき、マスクの配置、配線のレイアウト手段2205により、実際の故障の起こりやすい箇所に対して対策を行い、最終的なマスクレイアウト図2206を生成する。

【0051】図20は、本発明の第8の実施の形態を示

14

すものである。故障検出率は、使用するテストパターンにおいて対象故障を検出できる尺度を示しており、故障検査により算出される。本来、この対象故障は、実際に起こり得る故障でないといけな。ところが、実際に起こる故障は起こりやすさという点で一律ではない。起こりやすいものもあるし、起こりにくいものもある。しかし、従来の故障検査手段では、実際の故障のしやすさを考慮しておらず、結果として一律として扱っている。つまり、起こりやすい故障も起こり難い故障も同一に扱われ、検出したら故障検出率にカウントし、検出できないと未検出として扱われている。

【0052】この場合、たとえ起こりにくい故障を検出して故障検出率を高くしても、起こりやすい故障、つまり、気をつけなといけな故障を検出していないと、実際の故障の起こる可能性は高くなる。故障検出率の本来の目的は、実際の故障をはじくことにある。そのためにはテストパターンは起こりやすい故障を重点的にはじくものでなければならない。つまり、故障検出率においても、故障の起こりやすいものは故障の比重を高く、起こり難い故障は、比重を低くする必要がある。

【0053】図20において、対象故障がA点の1故障、A点の0故障、B点の1故障のようにいくつかある場合、従来は、各対象故障についての故障の重みづけは等しく1である。しかしながら、実際の故障の起こりやすさを考えると、故障の重みづけが必要であり、図において、重みの平均値を1.0として、例えばA点の1故障、0故障は、起こり難く0.2、B点の1故障は実際に起こりやすく1.8のようになる。

【0054】従来から市場不良率と故障検出率の関係は、上記の式(1)で表されている。この式では、故障を単一縮退故障として扱っているが、今後、集積回路の大規模化、微細化に伴って、従来のような単一縮退故障モデルでは表せない故障が出て来ることが予想される。つまり、市場不良率と故障検出率の関係は式(1)では表現出来なくなってくる可能性が高い。そこで、実際の故障の発生を考慮し、重みづけを行なった新たな故障検出率の尺度は重要であり、これを行なうことにより、より正しく故障検出率と市場不良率との関係を導き、最終的には市場不良を低減する事が可能となる。

【0055】図21～図23は、本発明の第9の実施の形態を示すものである。ここでは、上述の故障の重みづけについての具体的な方法を示す。すなわち、対象故障を故障の起こりやすさにより順番づけし、この順番づけに従って、故障の重みづけを一定の割合で変化させる。具体的な処理手順を図21に示す。故障リスト2402を順番づけ手段2401によって順番づけし、生成した順番づけされた故障リスト2403に対して故障の重みづけ手段2404によって重みづけを行なう。生成した重みづけされた故障リスト2405に対して故障検査を行ない(2406)、重みづけを考慮した高精度な故障

(9)

特開2001-127163

15

検出率2408を算出する。通常の故障検査においてはテストパターン2407は故障検査手段2406に入力されるが、ATPGの場合は自動的にテストパターン2407が生成される。

【0056】図21では、重みづけした故障リストに対して故障検査を行なっているが、重みづけを行わない通常の故障検査を実施した後に故障の重みづけを行ない、重みづけを用いた高精度な故障検出率を再計算し直す事も有り得る。図22に重みづけの具体的な例を示す。重みづけの変化の割合は、

$$d = 2 / (n + 1)$$

で表す。ここで、dは重みづけの変化の割合、nは対象故障数である。図22の例では対象故障数nは39個である。重みづけの変化の割合は、 $2 / (39 + 1) = *$

$$\text{従来故障検出率} = \frac{\text{検出された故障数}}{\text{全故障数}} \times 100 \quad (\%)$$

... (2)

しかしながら、本発明に基づく重みづけを考慮した故障 20※【0059】
検出率は、式(3)のように算出する。 ※ 【数3】

$$\text{重みづけによる故障検出率} = \frac{1.95 + 1.90 + 1.80 + \dots + 1.00 + \dots + 0.05}{\text{全重みの合計 (全故障数)}} \times 100 \quad (\%)$$

... (3)

すなわち、全重みの合計もしくは全故障数に対して、検出した各故障の重みを1.95+1.90+1.80+...+1.00+...+0.05のように足していき、 30
故障検出率を計算する。

【0060】図24～図25は、本発明の第10の実施の形態を示す。この実施の形態においても、故障の重みづけの具体的な方法に関して示す。ここでは、レイアウト手段により得られるマスク情報に基づき、セルもしくは機能ブロックのマスク密度を計算し、このマスク密度と集積回路全体のマスク密度である平均のマスク密度との割合から故障の重みづけを行なう。

【0061】具体的に図24を使って処理の流れを説明する。まずレイアウト手段2701によってマスク情報 40
2702を生成する。次に、マスクレイアウト図を個々のセル、機能ブロックもしくは他の指定ブロックに分割するためのブロック分け情報2704に基づいてマスクレイアウト図を分割し、それぞれの分割ブロックのマスク密度を算出し(2703)、ブロックのマスク密度一覧2705を生成する。算出手段2703においては、対象となる集積回路のチップ全体のマスク密度(以下、「平均マスク密度」という)も併せて生成する。この平均マスク密度と生成する各ブロックのマスク密度の割合から故障リスト2707に示す各対象故障の重みづけを 50

16

*0.05となる。もっとも重みづけの低いL点の1故障は、0.05となる。その次に重みの低いK点の0故障は、これに0.05を足して0.10となる。重みづけの真中の故障は、T点の0故障であり、重みは1.00となる。最も重みの高い故障はH点の1故障であり、重みは1.95となる。

【0057】次に具体的な故障検出率を計算する。図23に示すように、重みづけを行なった故障に対して検出、未検出の判定を仮定する。従来の故障検出率の算出 10
法では、式(2)のように単純に全故障数と検出された故障数から故障検出率を算出している。

【0058】

【数2】

行なう(2706)。ここで、各故障は、その故障に直接影響するセルもしくは機能ブロックのマスク密度に応じて重みづけされる。この重みづけされた故障リスト2708に基づいて故障検査を行ない(2709)、重みづけを考慮した高精度な故障検出率2711を出力する。通常の故障検査においてはテストパターン2710は故障検査手段2708に入力されるが、ATPGの場合は自動的にテストパターン2710が生成される。

【0062】なお、図24では重みづけした故障リストに対して故障検査を行なっているが、重みづけを行わない通常の故障検査を実施した後に故障の重みづけを行ない、重みづけを用いた高精度な故障検出率を再計算し直す事も有り得る。図25は重みづけされた故障リストの例を示す。平均マスク密度である1チップのマスク密度は、1.0である。セルや機能ブロックは、平均マスク密度との割合からマスク密度を決定し、そのマスク密度がそのまま重みづけとなる。個々の対象故障は、その故障箇所に直接影響するセルもしくは機能ブロックのマスク密度に応じて重みづけされる。例えば、A故障は、ブロックAに絡む故障であり、ブロックAの重みづけは0.9であるため、この故障の重みづけも0.9となる。

【0063】図26は、本発明の第11の実施の形態を

(10)

特開2001-127163

17

示す。この実施の形態においても、故障の重みづけの具体的な方法を示す。ここでは、集積回路の中に使用しているセル、機能ブロックなどの過去の実績に基づき、故障の重みづけを行なう。セル、機能ブロックなどの過去の実績に関しては、例えば前述の図17で示したデータベースを用いる。図17において、使用実績が低いほど、また過去不良回数が多いほど、また信頼性試験での問題がある程、またプロセス実績の回数が低いほど、故障の重みづけは高くなる。図17においては、セルや機能ブロックに対しての実績を示しているが、個々の対象故障の重みづけは、その故障箇所に直接影響するセルもしくは機能ブロックの過去の実績から得られる重みづけに従って行われる。

【0064】図26の手順によれば、まずセルや機能ブロックの実績データベース2903に基づき、故障リスト2902を重みづけする(2901)。この重みづけされた故障リスト2904に対して故障検査2905を行ない、重みづけを考慮した高精度な故障検出率2907を出力する。通常の故障検査においてはテストパターン2906は故障検査手段2905に入力されるが、ATPGの場合は自動的にテストパターン2906が生成される。

【0065】なお、図26では重みづけした故障リストに対して故障検査を行なっているが、重みづけを行わない通常の故障検査を実施した後に故障の重みづけを行ない、重みづけを用いた高精度な故障検出率を再計算し直す事も有り得る。図27は、本発明の第12の実施の形態を示す。この実施の形態においても、故障の重みづけの具体的な方法を示す。ここでは、レイアウト手段から得られるマスク情報に基づいて故障の重みづけを行なう。具体的な重みづけの方法は、例えば、前述の図12、図13のマスク図によって説明した故障リストの順番づけの方法に基づく。

【0066】図27は具体的な処理の手順について示す。まず、レイアウト手段3001により生成するマスク情報3002に基づき、故障リスト3004の重みづけを行なう(3003)。この重みづけされた故障リスト3005に対して故障検査3006を行ない、重みづけを考慮した高精度な故障検出率3008を出力する。通常の故障検査においてはテストパターン3007は故障検査手段3006に入力されるが、ATPGの場合は自動的にテストパターン3007が生成される。なお、図27では重みづけした故障リストに対して故障検査を行なっているが、重みづけを行わない通常の故障検査を実施した後に故障の重みづけを行ない、重みづけを用いた高精度な故障検出率を再計算し直す事も有り得る。

【0067】図28～図30は、本発明の第13の実施の形態を示す。故障検査は非常に時間のかかる処理であるため、実際に故障の起こる可能性の低い故障は可能な限り処理しないで、効果的に処理を行なう事が望まし

18

い。このため、故障の起こりやすさによって順番づけし、かつ故障の起こりやすさによって故障を重みづけすると、故障検査を行なう必要のある故障から優先的に処理をすることが可能であるとともに、それぞれの対象故障を検出した場合に取得する故障検出率を計算する事が可能である。ここに示す方法では、達成したい故障検出率を与える事により、その故障検出率を得るための必要故障を故障の起こりやすい順に抜き出し、残りの対象故障については、不要な故障として処理を行なわないで、効果的に故障検査を行なう。

【0068】図28に具体的な処理の手順を示す。ここでは、故障リストの順番づけ手段3101によって故障リスト3102を順番づけする。そして、生成した故障リスト3103に対して故障の重みづけ手段3104によって重みづけを行ない、さらに取得する故障検出率の計算を行ない(3105)、取得する故障検出率を含む故障リスト3106を生成する。また達成したい故障検出率を指定し(3108)、故障リスト3106から検査不要故障を削除する(3107)。そのうえで、残った故障リスト3109に対して故障検査を行ない(3110)、重みづけを考慮した高精度な故障検出率3112を効果的に出力することが可能である。通常の故障検査においてはテストパターン3111は故障検査手段3110に入力されるが、ATPGの場合は自動的にテストパターン3111が生成される。

【0069】図29は、前述の図22の例について取得する故障検出率を含む故障リスト3106の例を示している。H点の1故障のみを検出すると、全故障数は39であるため、取得する故障検出率は $1.95 \times 100 / 39 = 5.0\%$ となる。同様にI点の1故障まで検出すると取得する故障検出率は9.9%となる。また、故障の起こり難いK点の0故障まで検出すると取得する故障検出率は99.9%、さらに最も故障しにくいL点の1故障まで全て検出すると100%の故障検出率を取得することになる。ここで、目標故障検出率として15%を指定すると、G点の1故障までを対象とすればよい事になる。

【0070】図30では、図28における検査不要故障を削除する処理までは同じであるが、ここでは、残った故障リストに対して、マスクの配置、配線のレイアウト手段により、実際の故障の起こりやすい箇所に対策を行なう。すなわち、故障リスト3302の順番づけを行ない(3301)、生成する故障リスト3303に関して故障の重みづけを行ない(3304)、併せて取得する故障検出率を計算する(3305)。生成した故障リスト3306から達成したい故障検出率3308に従って検査不要故障を省き(3307)、残った故障リスト3309に対してレイアウト手段3310により対策を行ない、最終的なマスクレイアウト図3311を生成する。

(11)

特開2001-127163

19

20

【0071】図31は、本発明の第14の実施の形態を示す。上述の第13の実施の形態では、故障検査を効果的に実施するために、故障検査を行なう前に、達成したい故障検出率に対して不要な故障を省いたが、ここでは、前もって不要故障を省くのではなく、故障検査の処理中に目標の故障検出率に達しているかどうかの確認を行ない、目標に達した時点で残りの故障に対して故障検査を行なわないようにする。

【0072】図31は具体的な処理の手順について示す。まず、故障リストの順番づけ手段3401によって故障リスト3402の順番づけを行なう。次に、生成した故障リスト3403に対して故障の重みづけ手段3404で重みづけを行ない、重みづけした故障リスト3405を生成する。この故障リストによって故障検査を行なう(3406)。故障検査の最初に、目標の故障検出率を指定しておく(3407)。故障検査3408では、個々の対象故障を処理することに、指定した故障検出率になったか否かの確認3408を行ない、達成していなければ次の対象故障を処理する。一方、目標故障検出率に達した場合は、故障検査処理を終り、重みづけを考慮した最終故障検出率3409を出力する。通常の故障検査においてはテストパターン3410は故障検査手段3406に入力されるが、ATPGの場合は自動的にテストパターン3410が生成される。

【0073】なお、故障検査手段から指定した故障検出率に達した時点での故障リストを出力し、この故障情報に基づいてレイアウト手段により対策を行い、最終的なマスキレイアウト図を生成することもできる。次に、本発明に基づくさらなる故障検査方法について説明する。半導体集積回路の故障検査に際しては、テスターと称される検査装置が一般に用いられるが、半導体集積回路が異常動作したときにテスターが出力する異常箇所についての時間と信号状態と信号検出端子情報とを、ここでは「フェイルログ」と総称することにする。そして、以下に説明するように本発明では、テスターにおいて測定条件を変化させた場合のフェイルログを加工したり、複数フェイルログを総合的に判断したり、またマスクの配置、配線の物理的なレイアウト情報を加味することで、ネットリスト上の被疑故障箇所の抽出を比較的短時間に簡便かつ精度よく行うようにすることを主眼とする。

【0074】図32～図33は、本発明の第15の実施の形態を示す。前述の図12および図13に示すように、回路ネットリスト上では一見離れている場合でもマスキレイアウト図上では近くに配置されている場合がある。すなわち、図12における2が図13におけるAに相当し、図12における4が図13におけるBに相当するような場合には、図12における2、4は比較的ばらばらについているが、これを図13のA、Bで見ると隣り合う配線であることがわかる。仮に図12の2、4の×印が被疑故障箇所であるとした場合、図12上では関連性の

ない故障のように考えられるが、図13で見るとマスクが近接しており、例えば配線ショートのような関連性のある故障が推定できる。このように回路ネットリストだけでは関連性ははっきりしない場合でも、実際の物理的なマスキレイアウト上では関連性が明白な場合が出てくる。実際に起こる故障は、最終的には実際のマスキレイアウト上の物理的な要素を考慮する必要がある。

【0075】これまでの故障診断システムでは回路ネットリストとシミュレータの中だけの絞り込みであったが、本発明に基づく故障検査方法では、マスクの配置、配線の物理的なレイアウト情報を加味した処理を行なう。図32に本発明に基づく流れ図を示す。テスター801から出力されるフェイルログ901と、レイアウト装置902から得られる例えばVDD電源線や通常信号線のような配線の種類、配置座標値などのマスク情報903とを、故障診断システム904に入力し、被疑故障箇所を絞り込んで出力する(905)。故障診断システム904において被疑故障箇所を絞り込んでレイアウト装置902に情報を送り、必要な配線の種類、配置座標値を取り出す場合もある。

【0076】また、同様の考え方は、故障箇所を絞り込むだけでなく、図33に示すようにレイアウト装置902から得られる配線の種類、配置座標値などのマスク情報903を入力として、故障の起こりやすさの判断を行なうことにより(3300)、結果として起こりやすい故障の種類及び起こりやすい故障箇所のリスト3301を出力する事も可能である。

【0077】次に、上述の故障診断システム904による被疑故障箇所の絞り込みについて詳細に説明する。すなわち本発明では、テスターでの評価条件により不良サンプルのフェイルログが変化する場合に、このフェイルログの変化を考慮しないと、どの評価条件でのフェイルログを使うかによって被疑故障箇所の増大を招き、故障箇所の絞り込みに時間がかかることがあるという欠点を排除する。また、絞り込んだ被疑故障箇所のレイアウト上の物理的な位置関係を考慮しないと、絞り込んだ結果の故障源が多数存在する場合には、実際の物理的な故障箇所を自動で特定するのは困難であり、マスキレイアウト図の関連する部分を人間が見て故障箇所を推測するしかないという欠点をも排除する。

【0078】図34～図40は、本発明に基づく被疑故障箇所の絞り込み方法の第1の例を示す。ここでは、図34に示す半導体集積回路中の単一縮退故障の存否を調べるために図35に示すテストパターンを使用するものとする。図34において、P1～P4は外部入力信号線、P5、P6は外部出力信号線である。図35の時刻1～5において、P1～P4に対して図示の入力に示すテストパターンを入力すると、回路に故障がない場合、P5、P6から図示の期待値に示す信号が出力される。

【0079】図36～図38は、図34の回路のテスタ

(12)

特開2001-127163

21

一評価において、測定電圧を変化させて、回路中に故障が発生する場合の出力結果（フェイルログ）を示している。HやLに丸印を付けているものは、図35の期待値と結果が異なる場合である。図39は、測定電圧を変化させて、それぞれの電圧での半導体集積回路の動作の変化を見たものである。ここで、「Pass」というのは、故障の存在しない期待する動作をしている場合であり、「Fail」は、半導体集積回路中に故障箇所が存在し、期待する動作をしていない場合である。図39において測定電圧0V、1V、2Vでは、出力結果として図35に示すように半導体集積回路が正しく動作している。ところが、2.5Vの時点で図34に示すA信号線の信号が1となる故障が発生する。この場合、出力フェイルログの結果は、図36に示すようになる。さらに測定電圧を上げ3Vになると、図34においてH点で信号が1になる故障が発生し、出力フェイルログの結果は図37に示すようになる。さらに3.5Vになると図34において新たにD点が1となる故障が発生し、出力フェイルログの結果は図38に示すようになる。

【0080】このように測定電圧を変化させると故障箇所が変化し、増加し、出力結果（フェイルログ）も変化する。この場合、電源電圧が3Vや3.5Vでのフェイルログは、複数の故障箇所に起因するフェイルログとなっており、このフェイルログを用いてこれまでのシステムを用いる場合は、故障箇所の絞り込みに時間がかかったり、正しく絞り込みができない場合が出てくる。一方、図39においてフェイルログにフェイル箇所が現れる境界条件である2.5Vでは、フェイルログには図2でのA点の1故障のみの影響しか出てこないため、これまでのシステムでの故障箇所の絞り込みが容易となる。処理の流れは、図40に示すようにテスター801において測定条件を変化させ、境界条件を検出し、その時点でのフェイルログを出力するフェイルログ加工手段802をもち、フェイル箇所記憶手段810にフェイルログ803を渡す。測定条件としては、電圧の他に温度、周波数等も考えられる。

【0081】このようにフェイル箇所記憶手段810により記憶したフェイル箇所を用いて、検査で使用したテストパターンを与え、テスターでのフェイル箇所のみに期待値を設定し、故障シミュレーションを行なって被疑故障の絞り込みを行ない、多くのフェイル箇所に影響を与えた故障を最終被疑故障として出力する。図41～図42は、上述の故障診断システム904による被疑故障箇所の絞り込み方法の第2の例を示す。半導体集積回路で発生する故障には様々な種類の故障があり、テスター測定により出力されるフェイルログにも傾向が現れる。例えば周波数を変化させてもフェイルログが全く変化しないのであれば、周波数に依存しない故障、例えば箱退故障が一例として考えられる。逆に周波数を変化させるとフェイルログが変化するのであれば、周波数に依存す

22

る故障、例えばクロストークが一例として考えられる。一方、測定条件に依存する場合でも、複数パラメータが影響する場合もあり、この場合、その複数パラメータに依存する故障が考えられる。例えば、微少な電流リークによる故障が発生する場合は、測定電圧、測定温度のいずれのパラメータにも影響を与える故障であり、それぞれの測定条件によるフェイルログを確認することにより、微小リークの可能性を推定できる。複数パラメータで全く同一のフェイルログが得られる場合は、特に故障箇所が一致している事も推定できる。

【0082】図41～図42を用いて説明される手法では、図42に示すような、発生可能性の高い故障テーブルを使用する。ここでパラメータとして与えるAやBは、例えば電圧等の測定パラメータである。この図42において、「A」は、フェイルログがAのパラメータに依存する事を示す。逆に「!A」は、フェイルログがAのパラメータに依存しないことを示す。例えばAを電圧パラメータ、Bを周波数パラメータとすると、「A&!B」は、電圧に依存するが、周波数には依存しない故障ということになる。

【0083】図41はその処理の流れを示す。ここでは、パラメータA、パラメータBのように2つのパラメータを用いるテスター801において測定条件を変化させ、フェイルログ加工手段4501では測定条件に依存するかどうかの判定を行ない、その判定結果と、依存する場合は境界条件でのフェイルログ、また、依存しない場合は、常に変化しないフェイルログとを出力する。パラメータA、パラメータBに対してフェイルログ加工手段4501によって出力されたパラメータAの判定結果及びフェイルログ4502とパラメータBの判定結果及びフェイルログ4503とを入力として、診断手段4504において、判定結果とフェイルログとを比較検討し、データベースとしてもつ図42の形式の故障テーブル4505から可能性の高い故障の種類を推定する（4506）。フェイルログが完全に一致する場合は、その一致情報を併せて出力する。このようにテスターにおけるフェイルログの情報だけから、故障の種類、故障箇所の一致を推定することができる。

【0084】図43は、故障診断システム904による被疑故障箇所の絞り込み方法の第3の例を示す。ここでも、パラメータA、パラメータBのように2つのパラメータを用いる場合を説明する。テスター801において測定条件を変化させ、フェイルログ加工手段4501で測定条件に依存するかどうかの判定を行ない、その判定結果と、依存する場合は境界条件でのフェイルログ、また、依存しない場合は、常に変化しないフェイルログとを出力する。パラメータA、パラメータBに対してフェイルログ加工手段4501によって出力されたパラメータAの判定結果及びフェイルログ4502とパラメータBの判定結果及びフェイルログ4503とを入力とし、

(13)

特開2001-127163

23

診断／フェイルログ加工手段4601により、判定結果とフェイルログとを比較検討し、データベースとしてもつ図42の形式の故障テーブル4505から、可能性の高い故障の種類を推定する(4603)。さらに診断／フェイルログ加工手段4601では4502、4503のフェイルログを総合的に判断し、フェイルログの重なりを抽出し、生成したフェイルログ4602を故障診断システムのフェイル箇所記憶手段4101に渡し、被疑故障箇所の絞り込みを行なう。このようにフェイルログの段階で情報の絞り込み、故障の種類、故障箇所の推定を行い、複数測定条件におけるフェイルログを総合的に判断する事により、以降の故障診断システムでの被疑故障箇所の絞り込みの効率化、診断精度を向上することが可能になる。

【0085】図44～図46は、本発明の第16の実施の形態を示す。この第16の実施の形態は、第15の実施の形態と同様にフェイルログを用いて処理を行なうが、さらにマスクの配置、配線の物理的なレイアウト装置から得られるマスク情報により、被疑故障の推定及び順番づけを行い、故障箇所を絞り込むものである。図44は、その処理の手順について示している。

【0086】この図44において、4101はフェイル箇所記憶手段、4102は対応表生成手段、4103は対応表記憶手段、4104は対応表検索手段、4105は初期被疑故障記憶手段、4106は故障箇所絞り込み手段、4107は最終被疑故障表示手段である。まず、対象となる半導体集積回路をテスターで検査した結果、回路の出力信号が故障の存在しないときの期待値と一致しなかったテスターでのフェイル箇所を、フェイル箇所記憶手段4101により記憶する。一方で、検査で使

用したテストパターンを用いて回路中の対象とする故障を検出できるかを調べる故障シミュレーションを実行し、回路中の故障箇所とそれぞれの故障が最初に検出される時刻及び外部ピンとの対応表を対応表生成手段4102により生成し、作成した対応表を対応表記憶手段4103で記憶する。フェイル箇所記憶手段4101で記憶した個々のフェイル箇所と、対応表記憶手段4103で記憶した対応表の内容を検索手段4104により照合し、対応表中の該当する全ての故障を初期被疑故障として抽出し、初期被疑故障記憶手段4105で初期被疑故障の情報を記憶しておく。故障箇所絞り込み手段4106では、この初期被疑故障を対象として、検査で使

用したテストパターンを与え、テスターでのフェイル箇所のみに期待値を設定して、故障シミュレーションを行なう被疑故障の絞り込みを行ない、多くのフェイル箇所に影響を与えた故障を最終被疑故障として出力する。故障箇所絞り込み手段4106による診断結果である最終被疑故障を、最終被疑故障表示手段4107で表示する。

【0087】そして、ここでは、初期被疑故障記憶手段4105に記憶された初期被疑故障に対してレイアウト

24

装置902から得られるマスク情報903をもとに被疑故障の故障の起こりやすさの順番づけを行う(910)。順番づけの手法は、上述の通りである。この順番づけに従って、さらに故障シミュレーションによる故障箇所の絞り込みを行ない(4106)、被疑故障箇所を絞り込む。故障シミュレーションは非常に時間のかかる処理であるが、対応表検索手段4104により得られる初期被疑故障の順番づけを行う事により、最も疑わしい故障を先に処理していくため、全体として、時間のかかる無駄な故障シミュレーションを行わず、実際の故障箇所を早く絞り込む事が可能となる。

【0088】図45に示すように、通常、ネットリストの段階で故障診断システムを用いて被疑故障箇所の絞り込み1200を行った後、電子ビームテスター1201や走査型電子顕微鏡1202で物理的な欠陥の場所特定、欠陥の状態の確認を行うが、いずれも非常に時間のかかる作業である。よってもっとも疑わしい被疑故障箇所から先に作業を行う必要がある。

【0089】そこで、本発明の手法を用いる事によって被疑故障箇所の絞り込みが行われ、仮に被疑故障箇所が複数残ったとしても、被疑故障箇所の故障の起こりやすさの順番づけが行われており、この順番に従って最も疑わしい故障を先に処理していくため、より効果的な電子ビームテスターや走査型電子顕微鏡の作業を行う事が可能になる。

【0090】図46は図44に示すものの変形例を示す。ここでは、故障箇所絞り込み手段4106の段階でレイアウト装置から得られる情報をもとに被疑故障の故障の起こりやすさの順番づけを行っており、この場合も同様の効果が得られる。また、前述の第15の実施の形態の場合と同様に、レイアウト情報902を用いるため、被疑故障として絞り込んだ故障がどのような種類の故障であるかを推定することも可能となる。

【0091】図47は、テスターにおいて測定条件を変化させ、複数のそれぞれの測定条件におけるフェイルログを総合的に判断し、かつマスクの配置、配線の物理的なレイアウト情報を加味し、被疑故障の推定及び故障の起こりやすさの順番づけを行ない、故障箇所を絞り込む、半導体集積回路の故障検査方法を説明するものである。ここでは、テスター801において測定条件を変化させ、それぞれの複数測定条件におけるフェイルログを総合的に判断し(4501)、かつレイアウト装置902から得られるマスクの配置、配線の物理的なレイアウト情報903を加味し、被疑故障の推定及び故障の起こりやすさの順番づけを行ない(910)、故障箇所を絞り込むものである。フェイルログの情報4602は、フェイル箇所記憶手段4101に記憶される。被疑故障の順番づけ手段910は、初期被疑故障記憶手段4105の被疑故障を入力とし、被疑故障の順番づけを行ない、この順番に従って被疑故障が故障箇所絞り込み手段10

(14)

特開2001-127163

25

6に渡される。このようにテスター801における複数測定条件のフェイルログを総合的に判断し、また、マスクの配置、配線の物理的な情報を加味する事により、効率的に被疑故障の種類の推定及び故障箇所の絞り込みを行なう事が可能になる。

【0092】このように故障診断の入力となるフェイルログを加工し、診断の対象となる故障を減らす事により、絞り込みの時間を短縮する事ができる。また、フェイルログの情報を活用する事により、故障の種類を推定する事もできる。また、マスクの配置、配線の物理的な情報を加味する事により、効率よく、精度よく被疑故障の種類の推定と絞り込みを行なう事が可能になる。

【0093】

【発明の効果】以上のように本発明によれば、半導体集積回路における故障の発生しやすい箇所に関する情報である故障リストを用いて前記半導体集積回路の故障検査を行なう事により、またチップ内におけるマスクパターンの物理的な情報や、セルや機能ブロックの実装を考慮して、故障の起こりやすさの順番づけ及び故障の重みづけを行なう事により、実際の故障に基づく高精度かつ高効率の故障検査やレイアウトを行なう事が可能となり、半導体集積回路における初期不良などの故障の低減に寄与することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態における故障リストを読み込むレイアウト方法の処理手順を示すフローチャート

【図2】本発明の第2の実施の形態における故障検査から生成する故障リストを読み込むレイアウト方法の処理手順を示すフローチャート

【図3】本発明の第3の実施の形態における故障検査方法及びレイアウト方法の処理手順を示すフローチャート

【図4】本発明の第4の実施の形態における故障検査方法及びレイアウト方法を説明するための論理回路図

【図5】図4の論理回路図に対応する故障リスト

【図6】図4の論理回路図における故障の起こりやすさに基づき順番づけした故障リスト

【図7】本発明の第4の実施の形態における故障検査方法の処理手順を示すフローチャート

【図8】本発明の第4の実施の形態におけるレイアウト方法の処理手順を示すフローチャート

【図9】本発明の第5の実施の形態における、図4の論理回路図をマスキレイアウト図に置き換えた場合の要部を示す図

【図10】本発明の第5の実施の形態における故障検査方法の処理手順を示すフローチャート

【図11】本発明の第5の実施の形態におけるレイアウト方法の処理手順を示すフローチャート

【図12】本発明の第5の実施の形態における故障リストの順番づけを説明するための論理回路図

26

【図13】図12の論理回路図をマスキレイアウト図に置き換えた場合の要部を示す図

【図14】本発明の第6の実施の形態における故障検査方法の処理手順を示すフローチャート

【図15】本発明の第6の実施の形態におけるマスク密度の一覧を例示する図

【図16】本発明の第8の実施の形態におけるレイアウト方法の処理手順を示すフローチャート

【図17】本発明の第7の実施の形態におけるセル、機能ブロックの実装データベースを例示する図

【図18】本発明の第7の実施の形態における故障検査方法の処理手順を示すフローチャート

【図19】本発明の第7の実施の形態におけるレイアウト方法の処理手順を示すフローチャート

【図20】本発明の第8の実施の形態における故障の重みづけの概念を例示する図

【図21】本発明の第9の実施の形態における故障検査方法の処理手順を示すフローチャート

【図22】本発明の第9の実施の形態における故障の重みづけの具体例を示す図

【図23】図22の故障の重みづけに検出、未検出の判定を追加した具体例を示す図

【図24】本発明の第10の実施の形態における故障検査方法の処理手順を示すフローチャート

【図25】本発明の第10の実施の形態における重みづけされた故障リストの具体例を示す図

【図26】本発明の第11の実施の形態における故障検査方法の処理手順を示すフローチャート

【図27】本発明の第12の実施の形態における故障検査方法の処理手順を示すフローチャート

【図28】本発明の第13の実施の形態における故障検査方法の処理手順を示すフローチャート

【図29】本発明の第13の実施の形態における取り得る故障検出率を含む故障リストを例示する図

【図30】本発明の第13の実施の形態におけるレイアウト方法の処理手順を示すフローチャート

【図31】本発明の第14の実施の形態における故障検査方法及びレイアウト方法の処理手順を示すフローチャート

【図32】本発明の第15の実施の形態における故障箇所絞り込み手段での処理手順を示すフローチャート

【図33】本発明の第15の実施の形態における故障しやすい箇所を出力する処理手順を示すフローチャート

【図34】本発明に基づく被疑故障箇所の絞り込み方法の第1の例におけるテストパターン生成の対象となる半導体回路を例示する論理回路図

【図35】同テストパターンの一例を示す図

【図36】図34の回路についてのフェイルログの一例を示す図

【図37】図34の回路についてのフェイルログの他の

(15)

特開2001-127163

27

28

例を示す図

【図38】図34の回路についてのフェイルログのさらに他の例を示す図

【図39】図34の回路における境界条件を示す図

【図40】本発明に基づく被疑故障箇所の絞り込み方法の第1の例におけるフェイルログ加工の処理手順を示すフローチャート

【図41】本発明に基づく被疑故障箇所の絞り込み方法の第2の例のフローチャート

【図42】本発明に基づく被疑故障箇所の絞り込み方法の第2の例における発生の可能性の高い故障テーブルの例を示す図

【図43】本発明に基づく被疑故障箇所の絞り込み方法の第3の例のフローチャート

【図44】本発明の第16の実施の形態に基づく故障箇所絞り込み手段における処理手順を示すフローチャート

【図45】本発明の第16の実施の形態に基づく一般的*

*な故障解析の処理手順を示すフローチャート

【図46】図44の処理手順の変形例を示す図

【図47】本発明に基づく故障箇所絞り込み手段における処理手順の他の例を示すフローチャート

【図48】従来のマスクパターンのレイアウト処理を示す図

【図49】従来の故障検査の処理手順を示すフローチャート

【図50】集積回路のマスクパターンの分布例を模式的に示す図

【符号の説明】

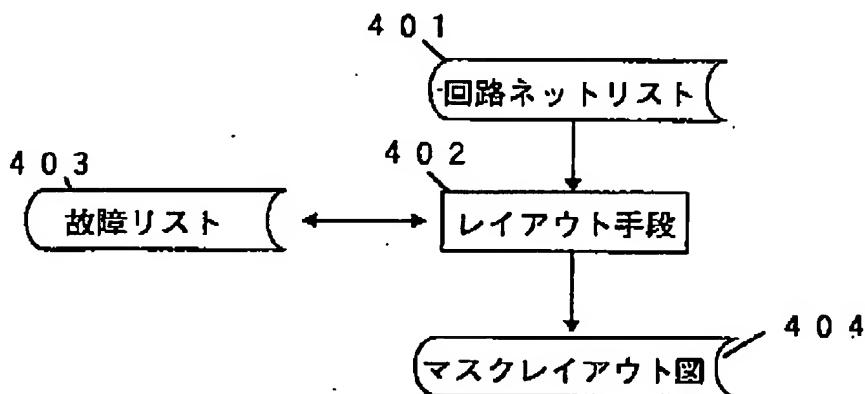
401 回路ネットリスト

402 レイアウト手段

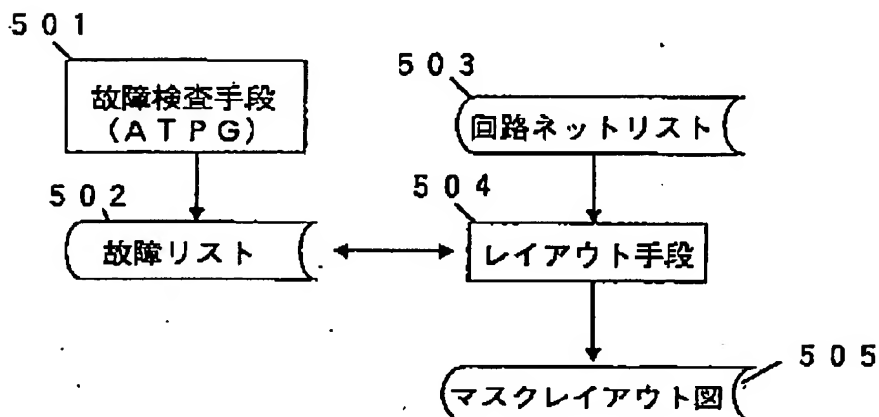
403 故障リスト

404 マスクレイアウト図

【図1】



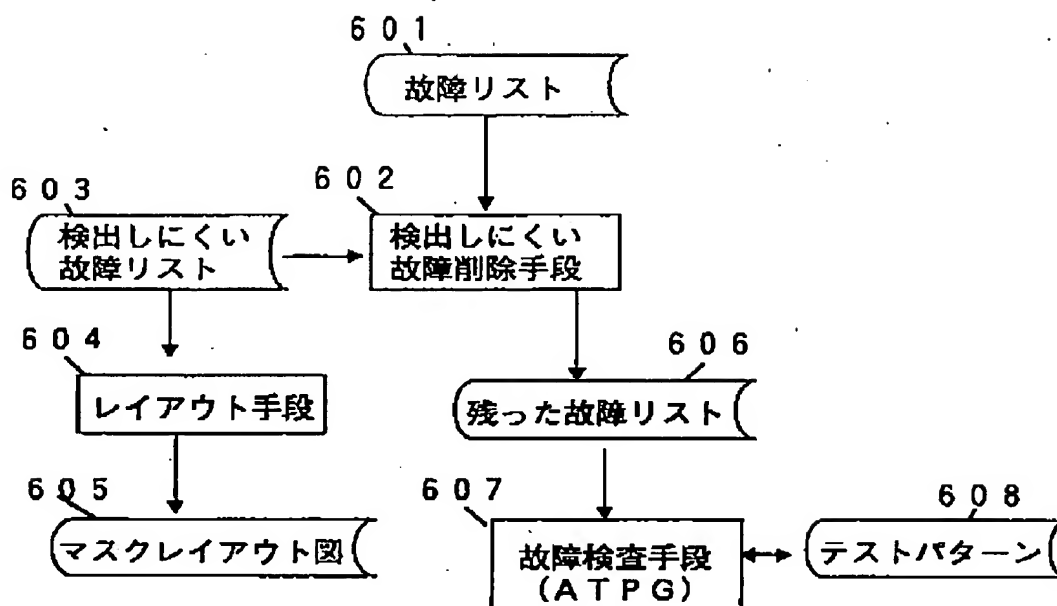
【図2】



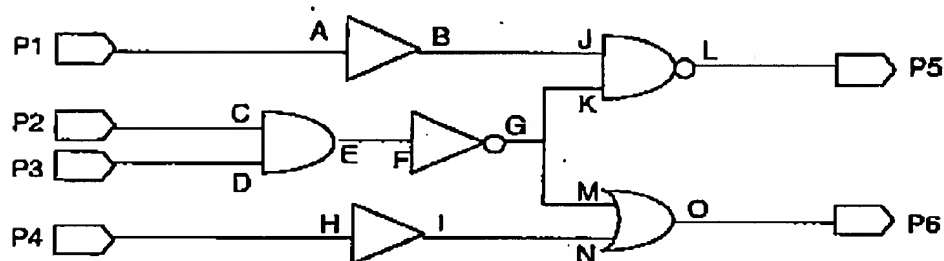
(16)

特開2001-127163

【図3】



【図4】



(17)

特開2001-127163

【図5】

対象故障
A点の1故障
A点の0故障
B点の1故障
B点の0故障
C点の1故障
C点の0故障
...
N点の1故障
N点の0故障
O点の1故障
O点の0故障

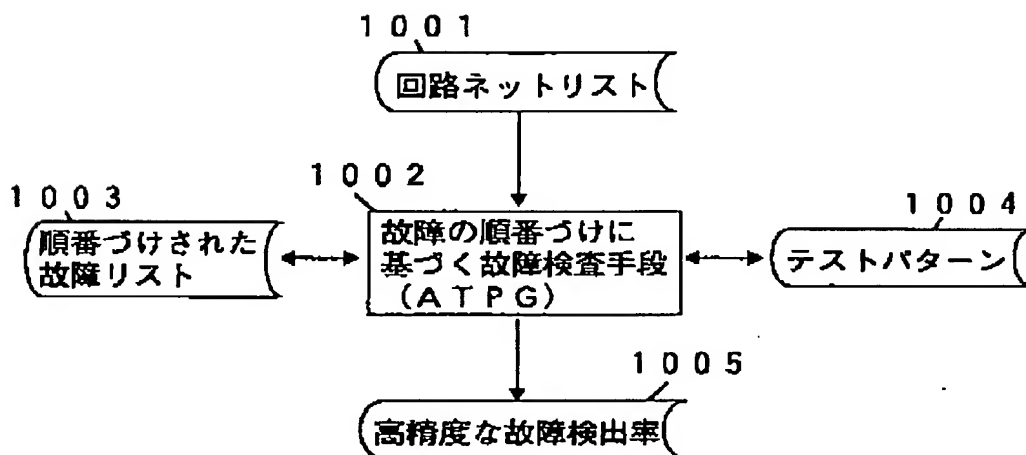
【図6】

対象故障	故障の起こりやすさ
H点の1故障	起こりやすい ↑
I点の1故障	
F点の0故障	
G点の1故障	
M点の1故障	
O点の1故障	↓ 起こりにくい
K点の0故障	
L点の1故障	

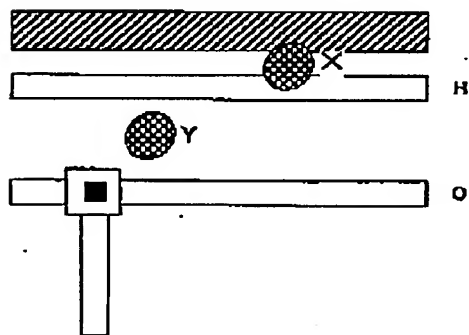
【図37】

時刻	テストパターン					
	入力				期待値	
	P1	P2	P3	P4	P5	P6
1	0	0	1	0	L	H
2	1	0	1	1	L	H
3	0	1	1	0	H	H
4	1	1	0	1	L	H
5	1	1	1	1	H	H

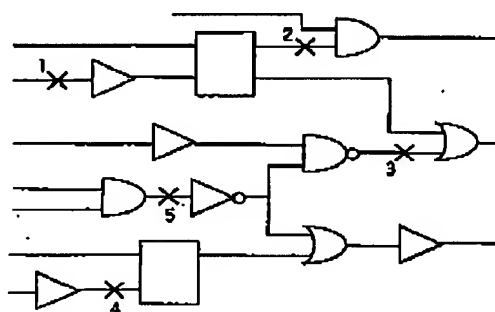
【図7】



【図9】



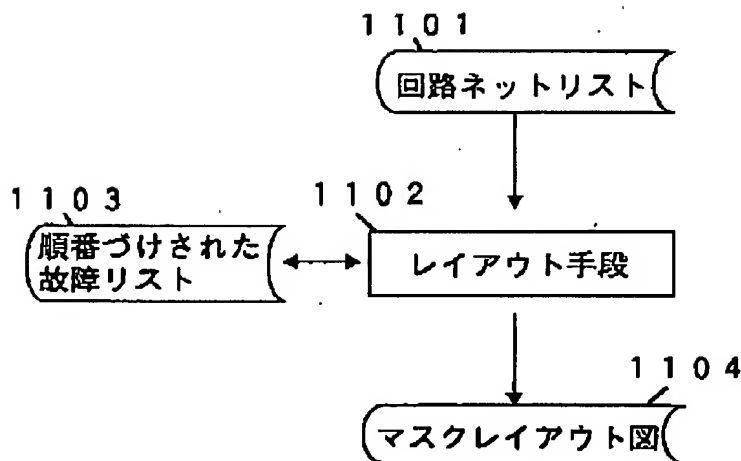
【図12】



(18)

特開2001-127163

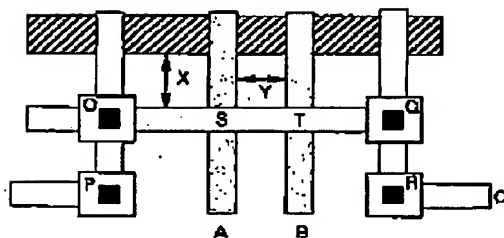
【図8】



【図22】

対象故障	重みづけ
H点の1故障	1.95
I点の1故障	1.90
F点の0故障	1.85
G点の1故障	1.80
S点の0故障	1.05
T点の0故障	1.00
B点の0故障	0.95
K点の0故障	0.10
L点の1故障	0.05

【図13】



【図15】

セルブロック名	マスク密度
ブロック1	90%
ブロック2	85%
ブロック3	91%
...	...

【図17】

セル機能 ブロック名	使用実績 回数	過去不良 回数	信頼性試験 状況	ブロック実績 回数
ブロックA	1500	0	○	100
ブロックB	500	2	○○	100
ブロックC	800	1	○○	100
ブロックD	20	3	△	5
ブロックE	1000	0	○○	100
ブロックF	1201	0	○	100
...

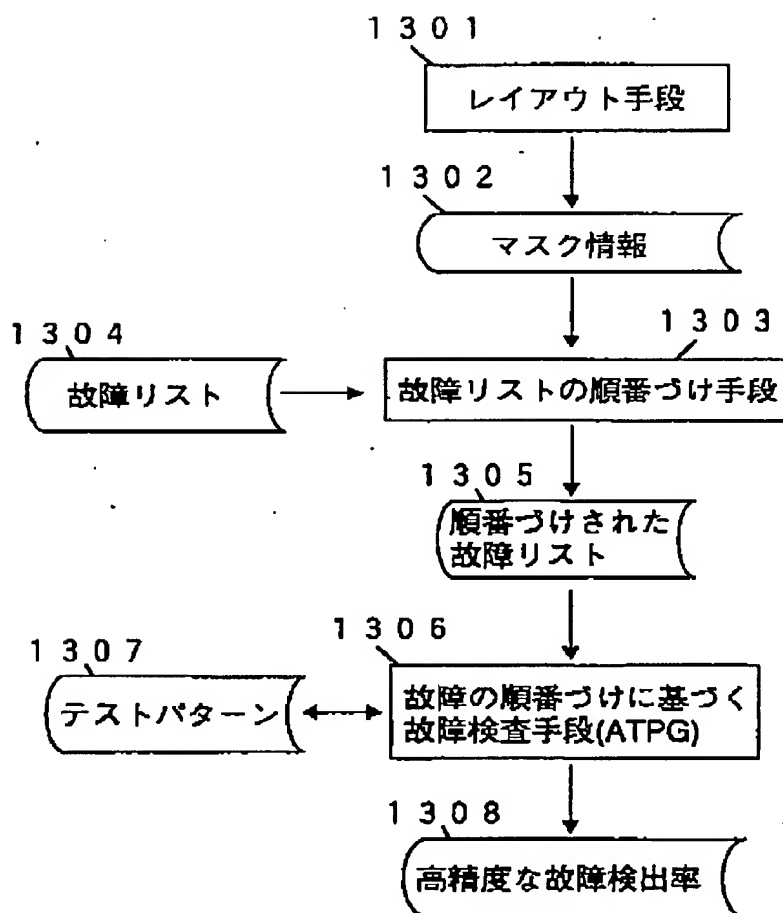
【図20】

対象故障	従来の故障 の重みづけ	故障の起こりやすさ による重みづけ
A点の1故障	1	0.2
A点の0故障	1	0.2
B点の1故障	1	1.8
B点の0故障	1	1.6
C点の1故障	1	0.5
C点の0故障	1	0.5
...
T点の1故障	1	1.0
T点の0故障	1	1.0

(19)

特開2001-127163

【図10】



【図23】

対象故障	重みづけ	検出/未検出判定
H点の1故障	1.95	検出
I点の1故障	1.90	検出
F点の0故障	1.85	未検出
G点の1故障	1.80	検出
S点の0故障	1.05	未検出
T点の0故障	1.00	検出
B点の0故障	0.95	未検出
K点の0故障	0.10	未検出
L点の1故障	0.05	検出

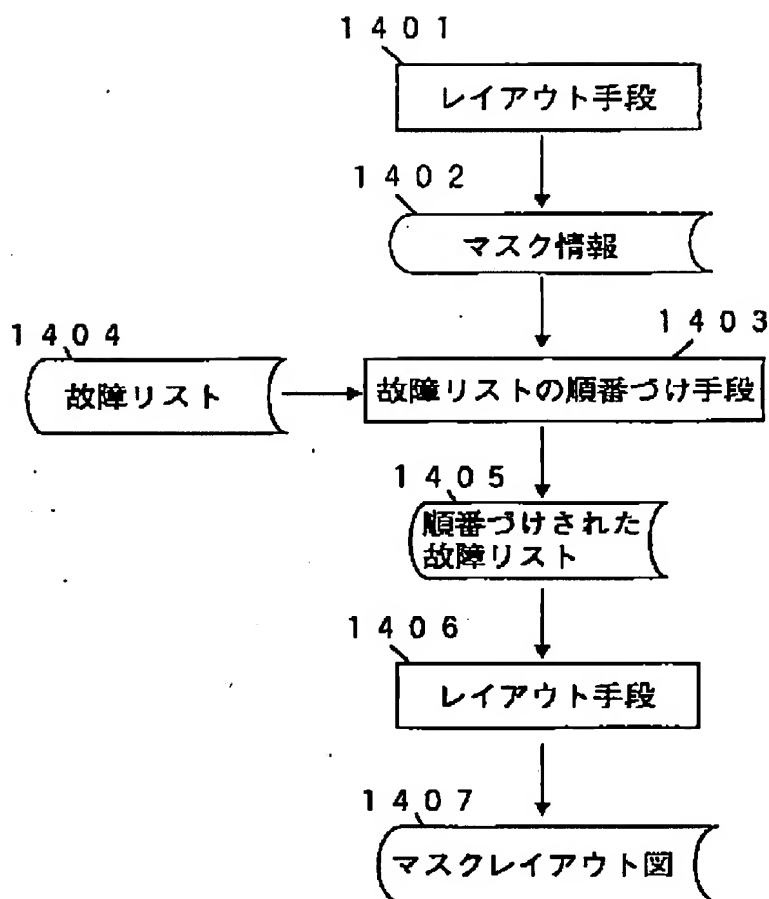
【図25】

対象故障	セル/ 機能ブロック	マスク密度	重みづけ
	1チップ	1.0	
A	ブロックA	0.9	0.9
B	ブロックA	0.9	0.9
C	ブロックB	0.95	0.95
D	ブロックB	0.95	0.95
E	ブロックB	0.95	0.95
F	ブロックC	0.8	0.8

(20)

特開2001-127163

【図11】



【図35】

時刻	テストパターン					
	入力				期待値	
	P1	P2	P3	P4	P5	P6
1	0	0	1	0	H	H
2	1	0	1	1	L	H
3	0	1	1	0	H	L
4	1	1	0	1	L	H
5	1	1	1	1	H	H

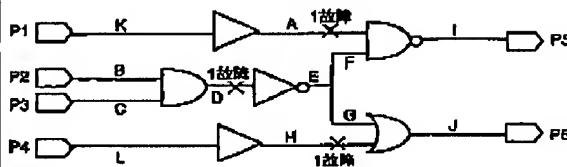
【図36】

時刻	テストパターン					
	入力				期待値	
	P1	P2	P3	P4	P5	P6
1	0	0	1	0	L	H
2	1	0	1	1	L	H
3	0	1	1	0	H	L
4	1	1	0	1	L	H
5	1	1	1	1	H	H

【図29】

【図34】

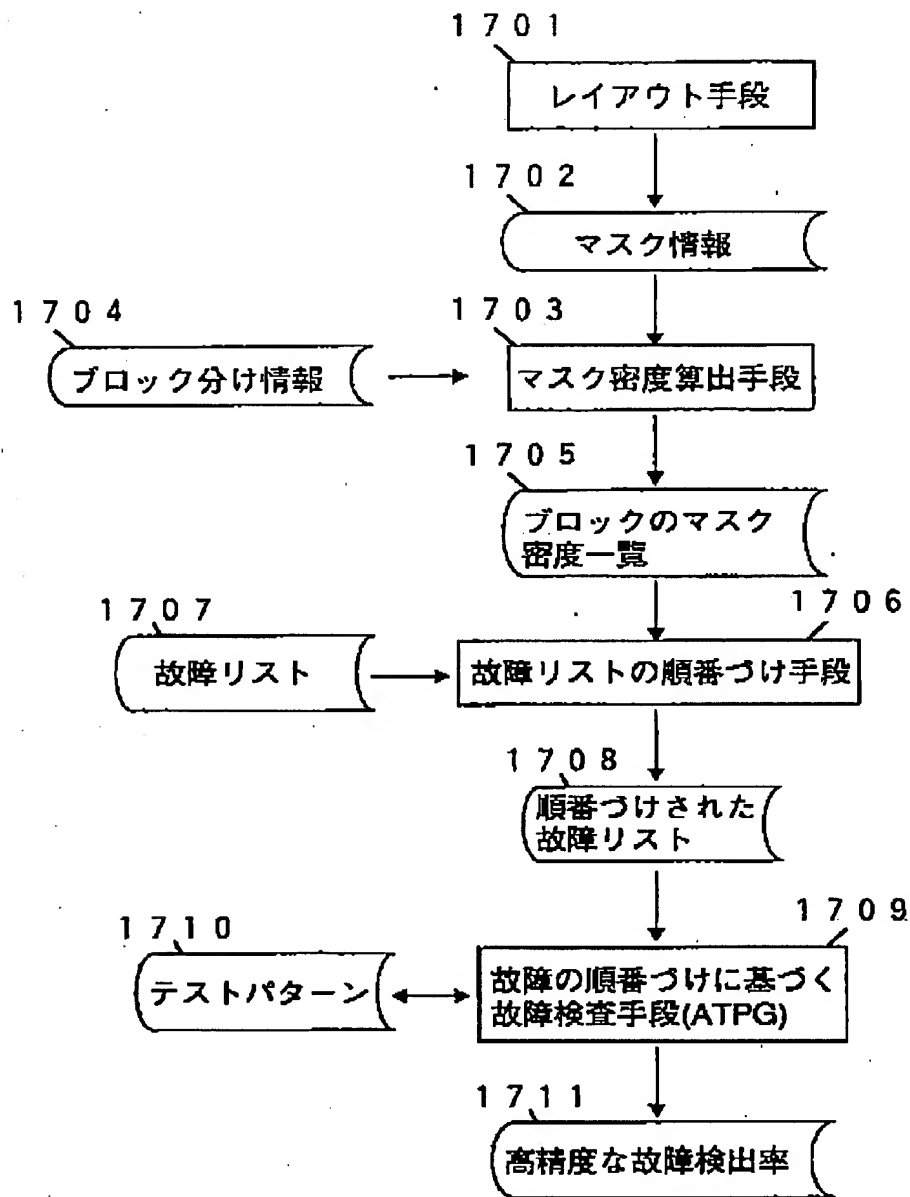
対象故障	重みづけ	取り得る故障検出率累計
H点の1故障	1.95	5.0%
I点の1故障	1.90	9.9%
F点の0故障	1.85	14.6%
G点の1故障	1.80	19.2%
.....
K点の0故障	0.10	99.9%
L点の1故障	0.05	100%



(21)

特開2001-127163

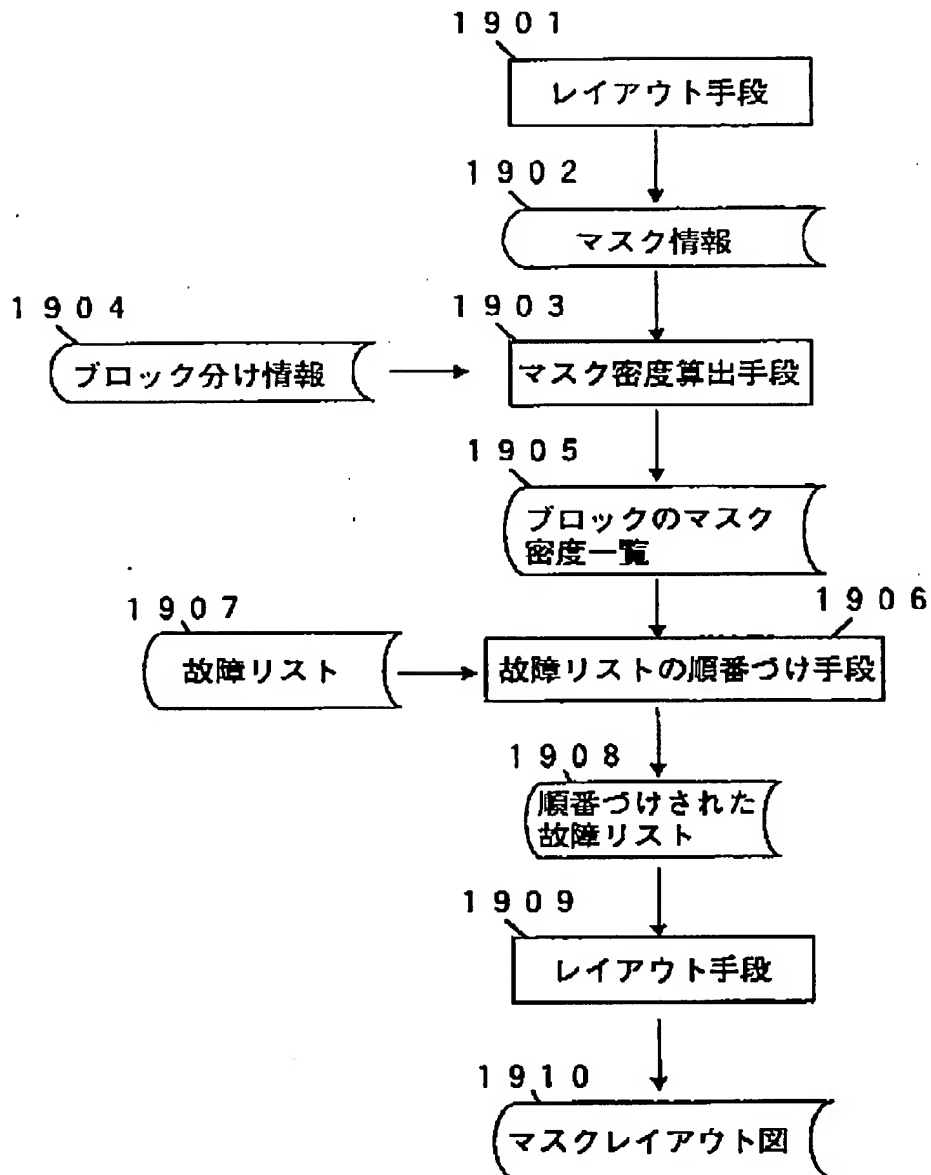
【図14】



(22)

特開2001-127163

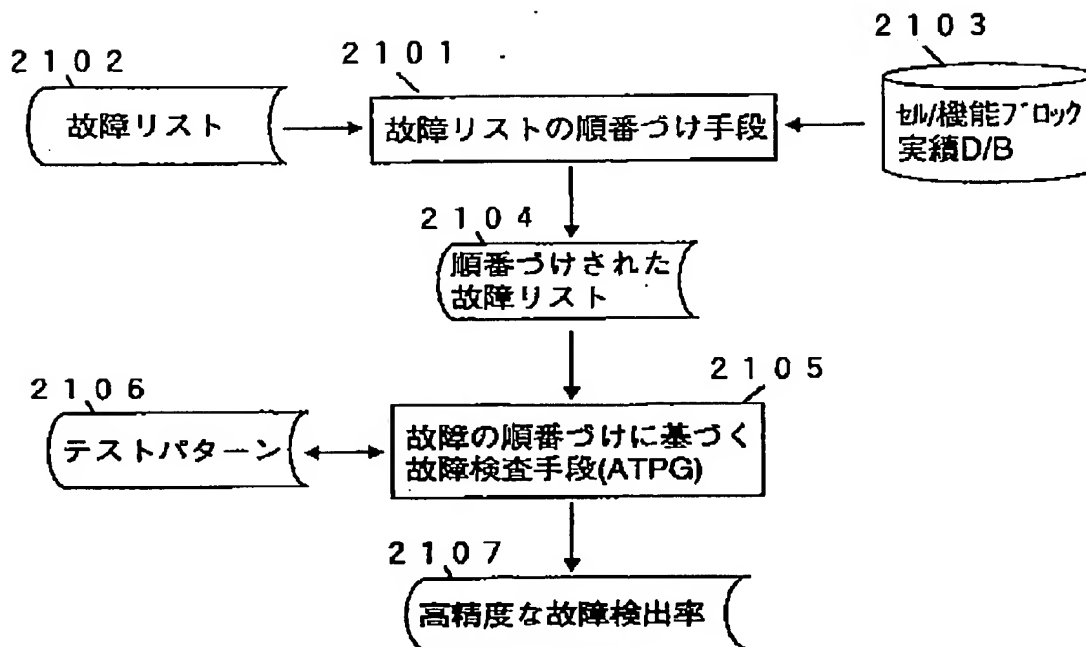
【図16】



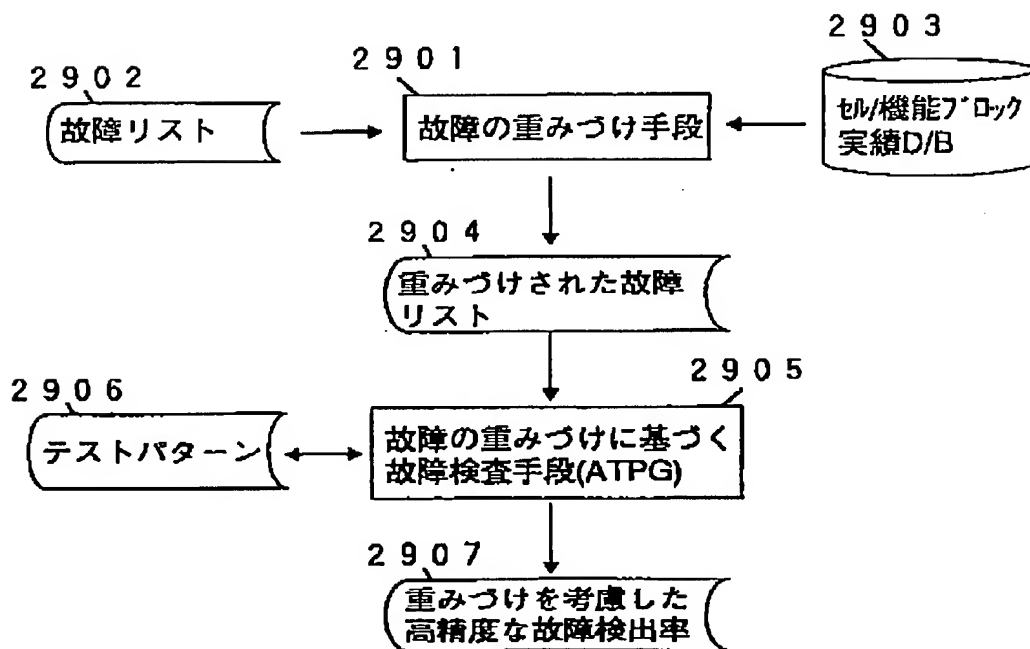
(23)

特開2001-127163

【図18】



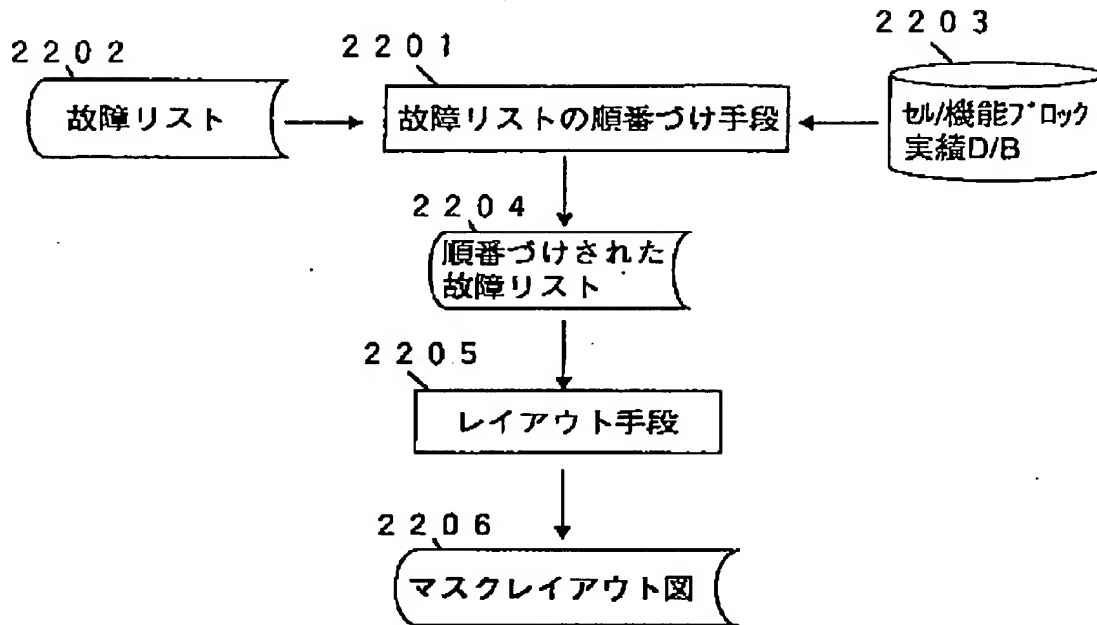
【図26】



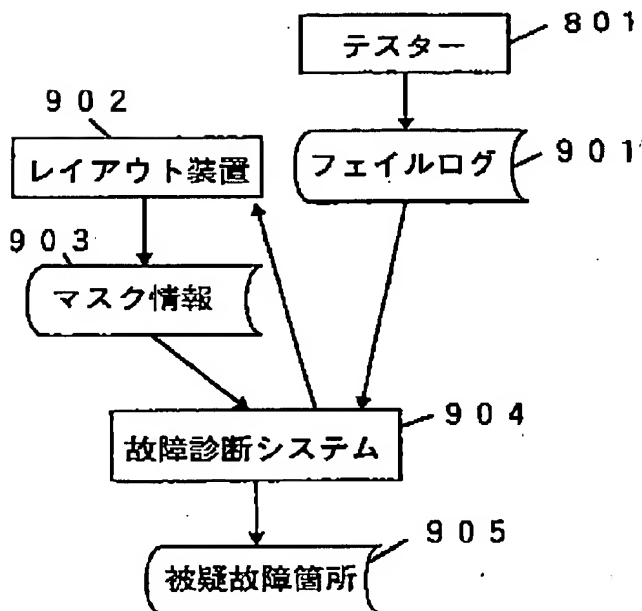
(24)

特開2001-127163

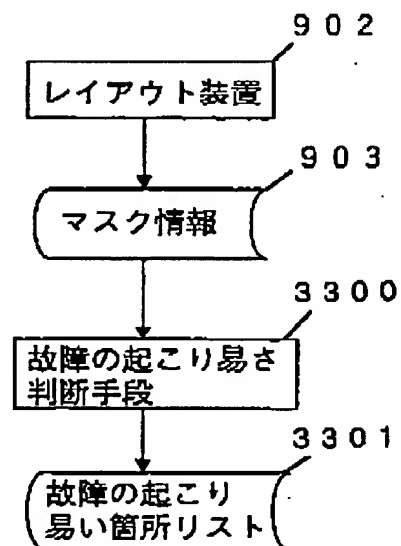
【図19】



【図32】



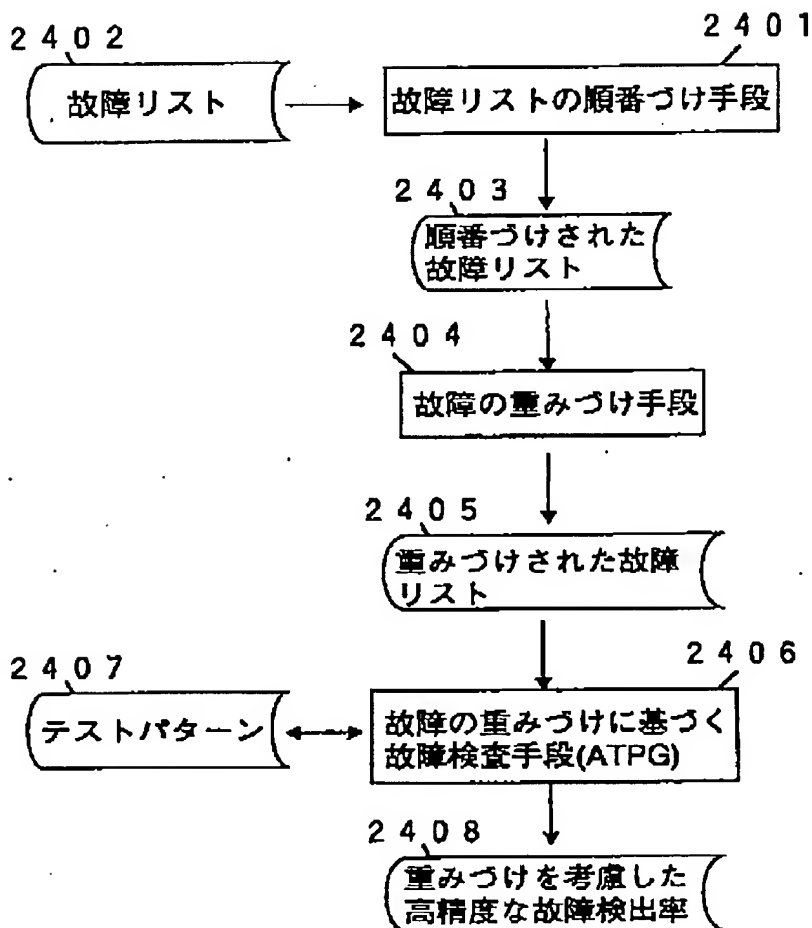
【図33】



(25)

特開2001-127163

【図21】



【図38】

時刻	テストパターン					
	入力				期待値	
	P1	P2	P3	P4	P5	P6
1	0	0	1	0	H	H
2	1	0	1	1	(H)	H
3	0	1	1	0	H	(H)
4	1	1	0	1	(H)	H
5	1	1	1	1	H	H

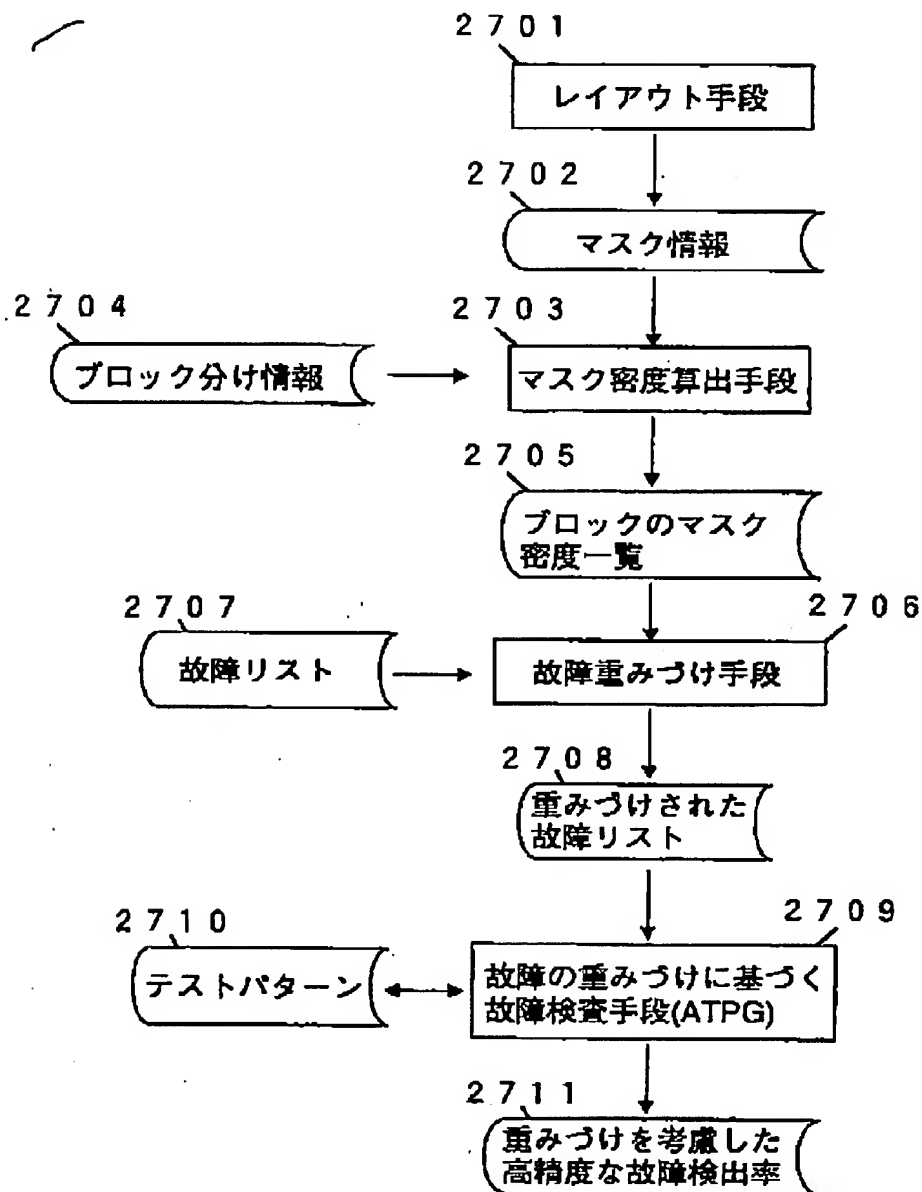
【図42】

パラメータ	可能性の高い故障
A&B	X故障
A&C	Y故障
B&C	Z故障
A&B	α 故障
A&C	β 故障
...	...

(26)

特開2001-127163

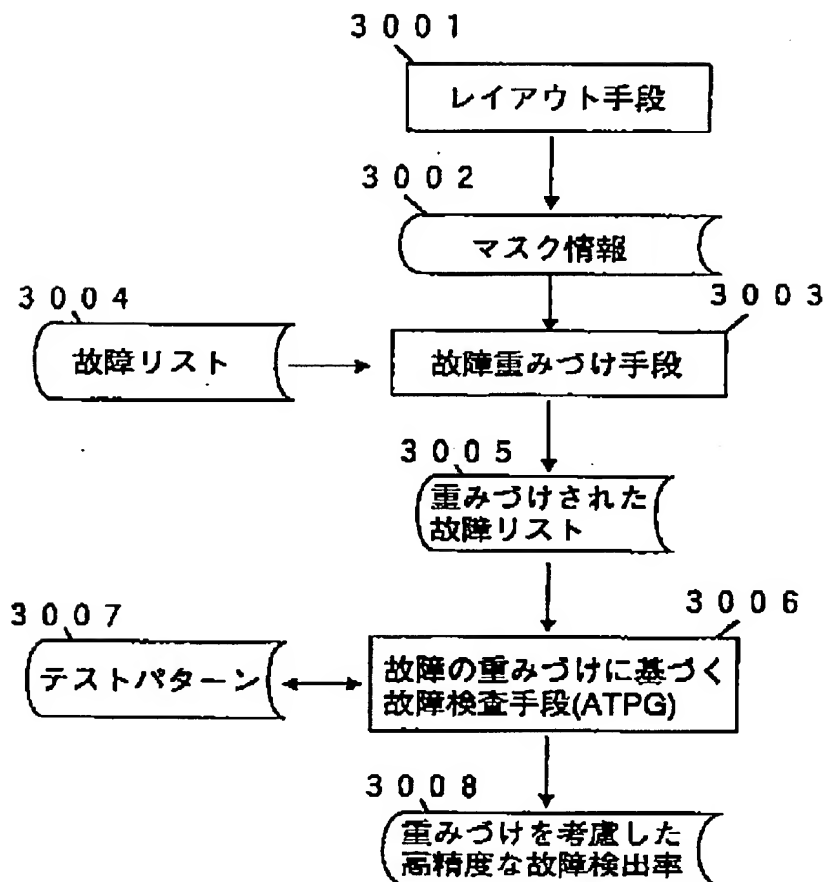
【図24】



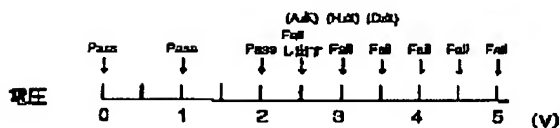
(27)

特開2001-127163

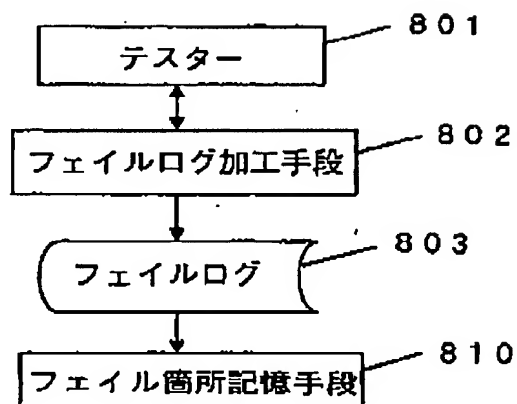
【図27】



【図39】



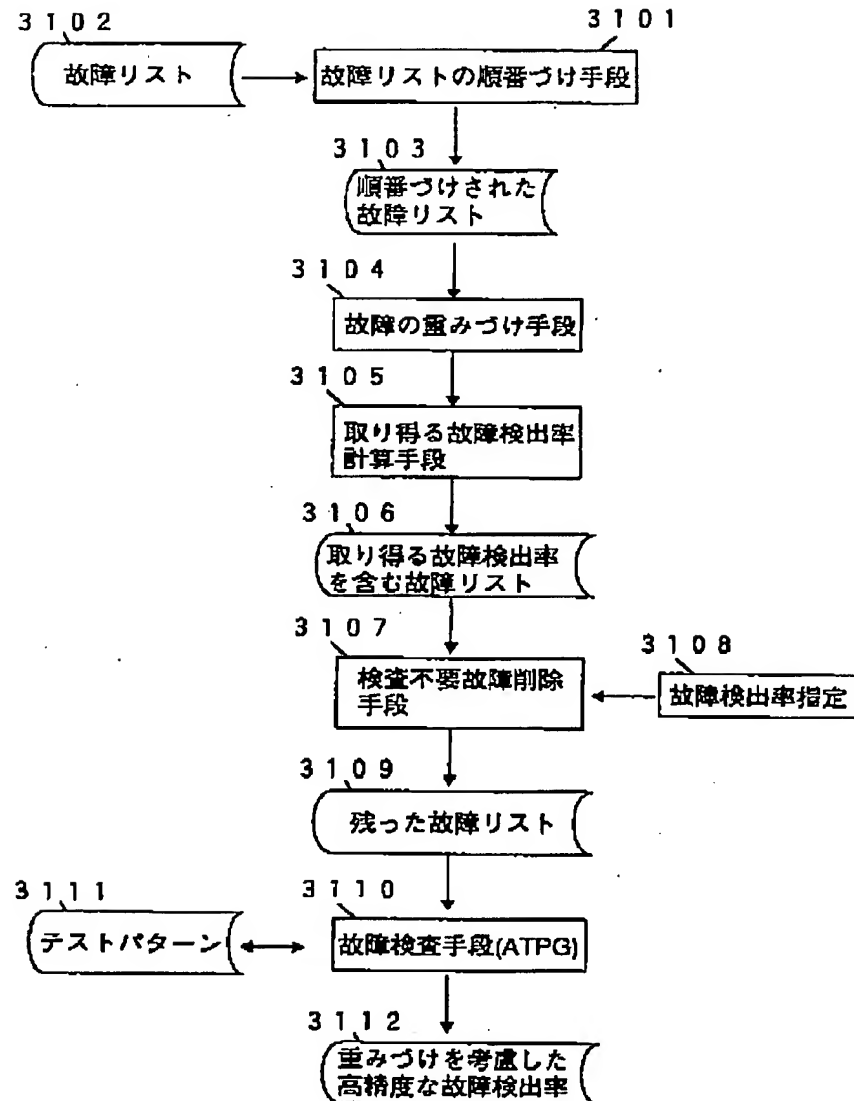
【図40】



(28)

特開2001-127163

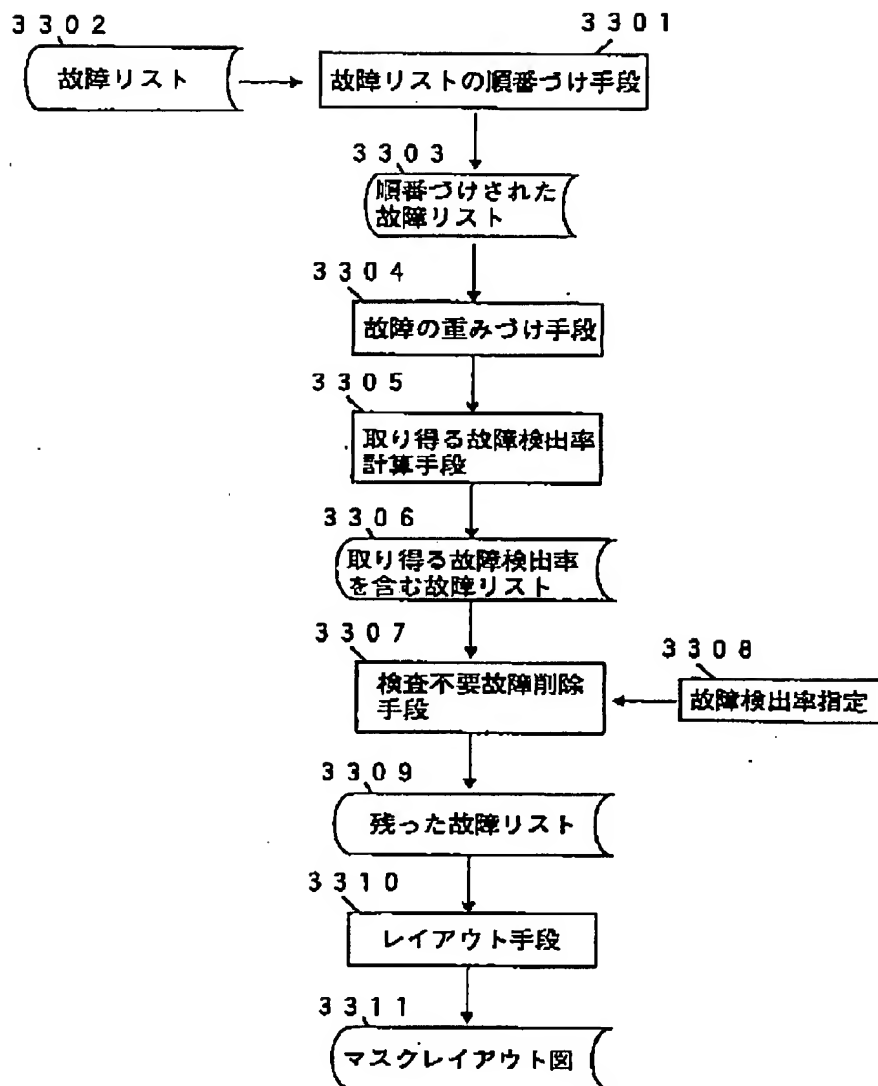
【図28】



(29)

特開2001-127163

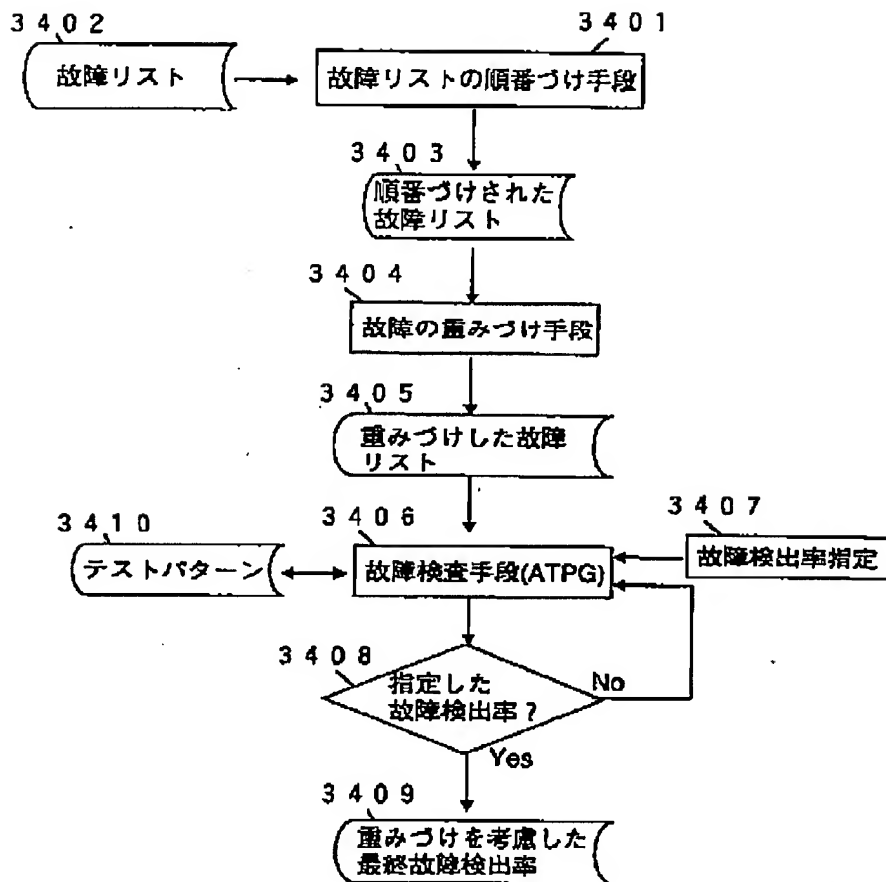
【図30】



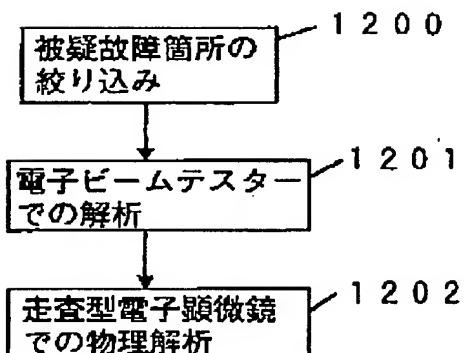
(30)

特開2001-127163

【図31】



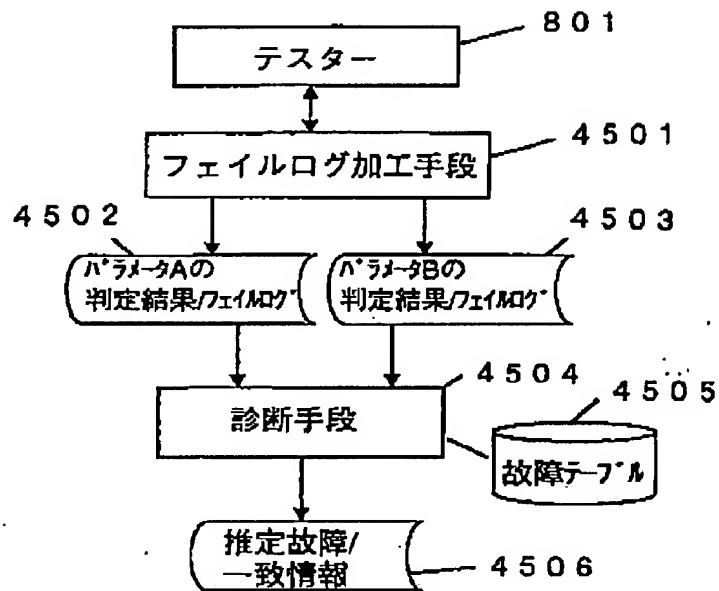
【図45】



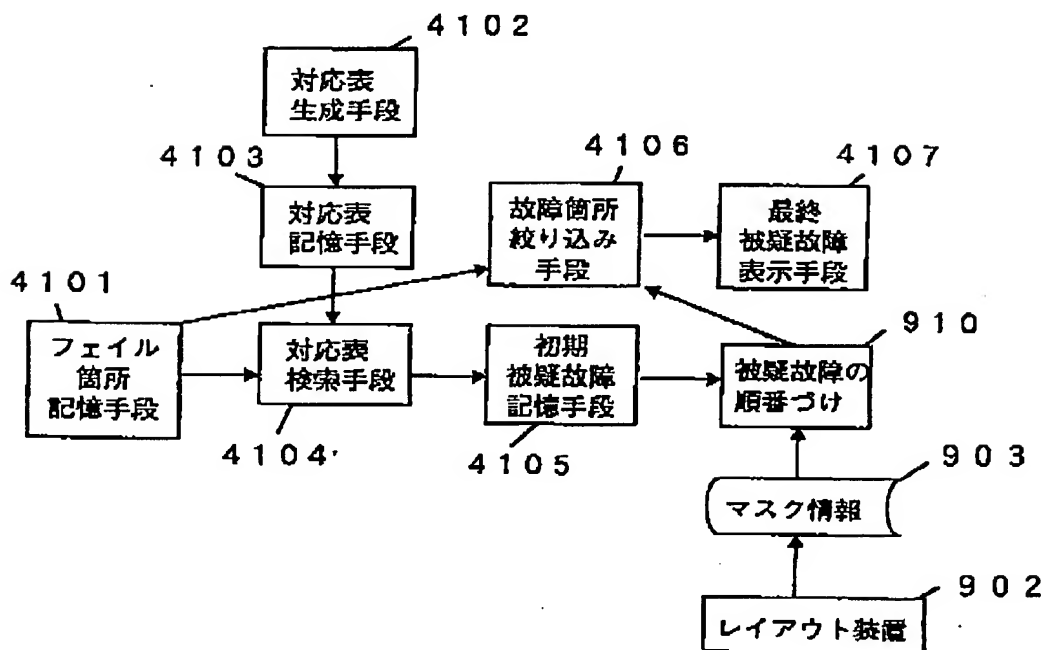
(31)

特開2001-127163

【図41】



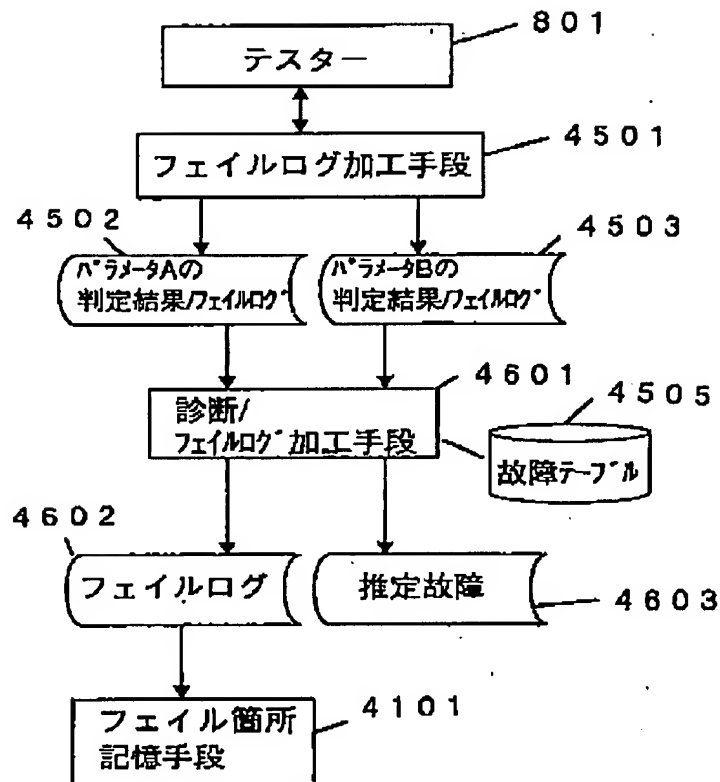
【図44】



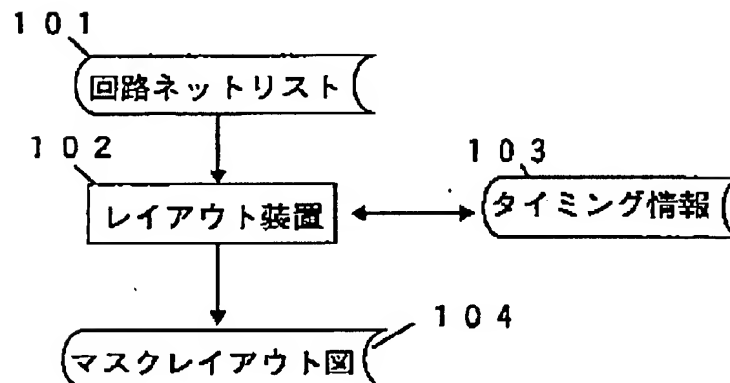
(32)

特開2001-127163

【図43】



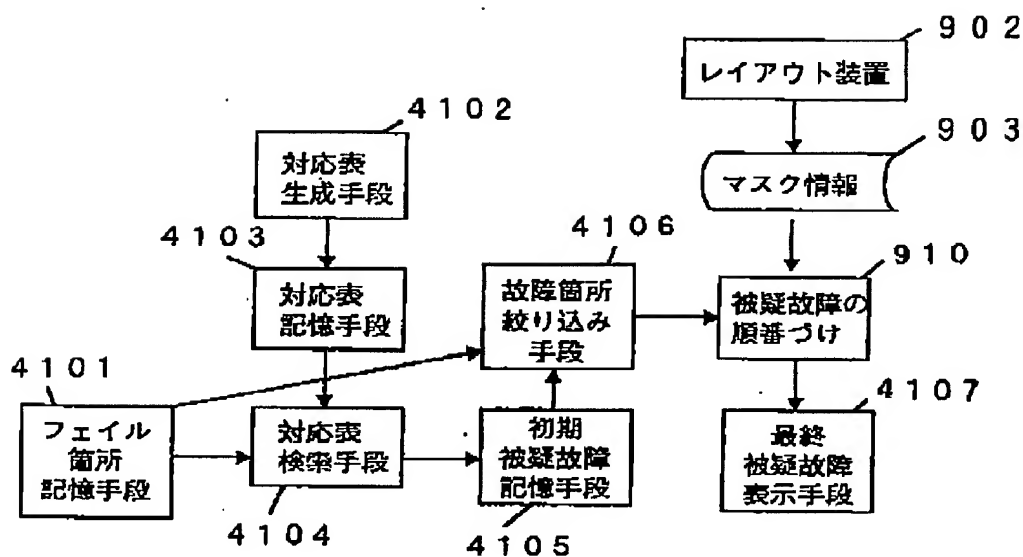
【図48】



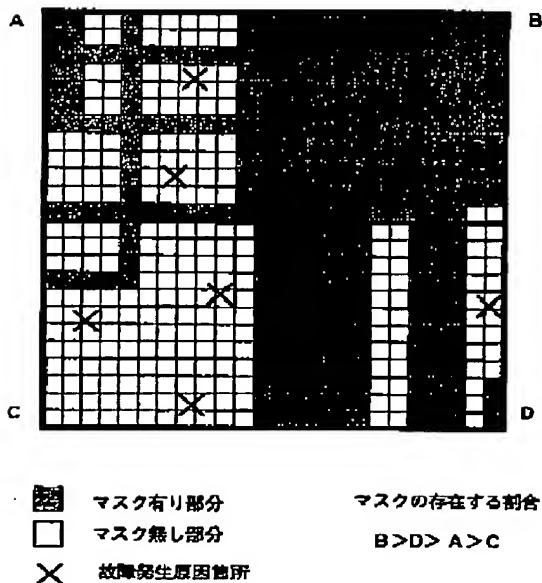
(33)

特開2001-127163

【図46】



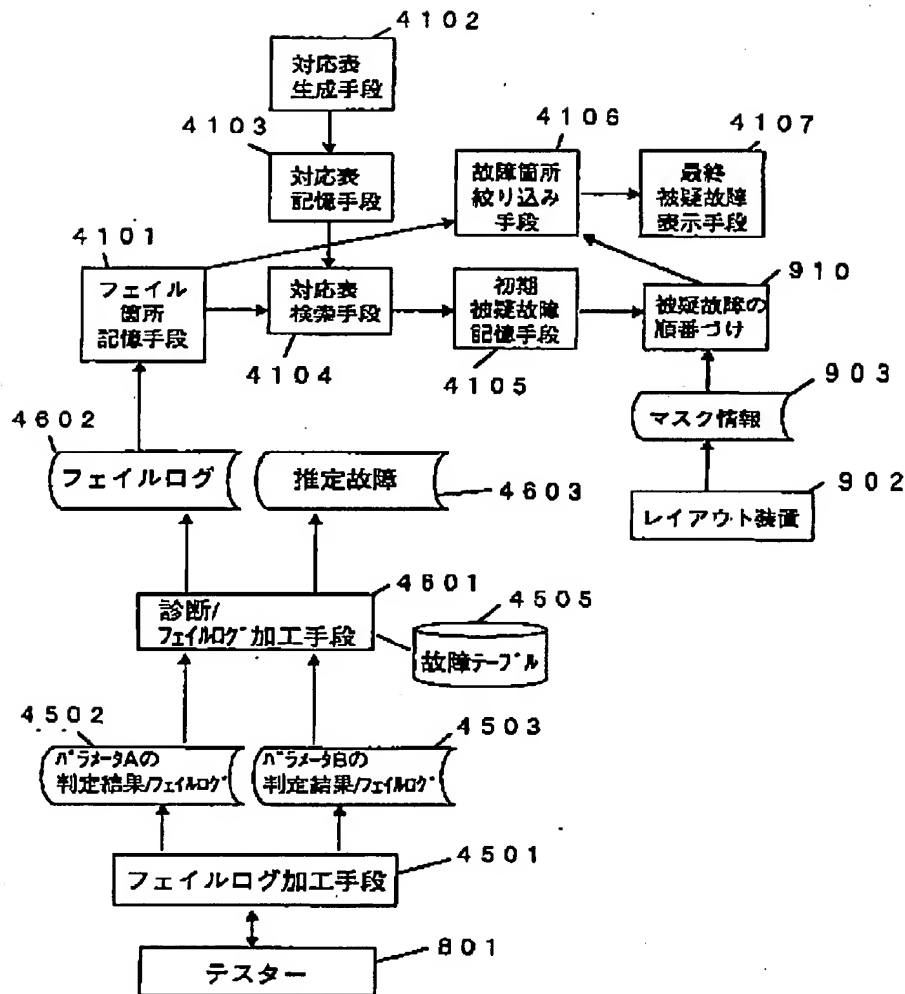
【図50】



(34)

特開2001-127163

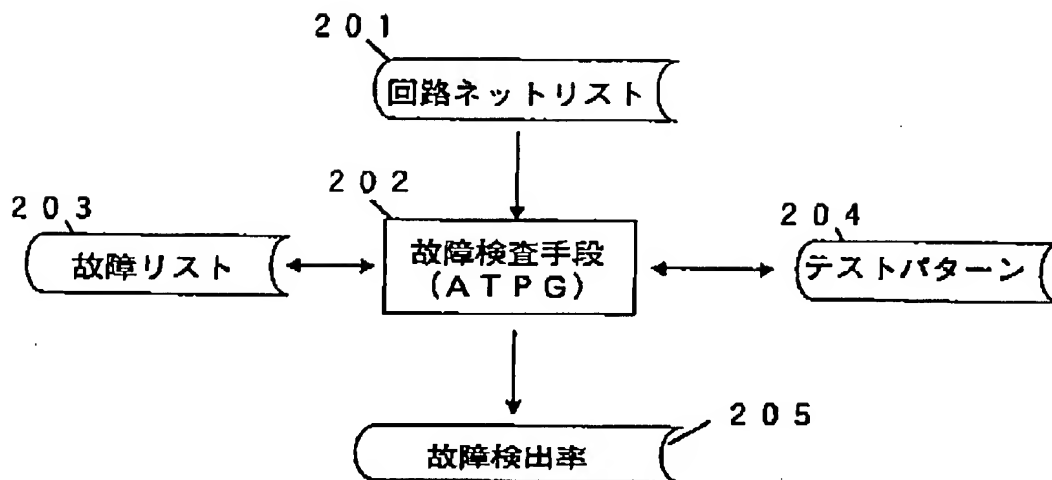
【図47】



(35)

特開2001-127163

【図49】



フロントページの続き

(51)Int.Cl.

識別記号

F I
H 0 1 L 21/82キーワード (参考)
T

ドキュメント (参考) 2G032 AG1D AL14

5B046 AA08 BA04 JA01

5F064 AA04 B831 DD13 DD14 DD24

DD25 EE14 EE15 EE16 EE17

EE26 EE27 EE45 EE52 EE54

HH06 HH09 HH11